

华中师范大学网络教育学院

《数字电路》练习测试题库及答案

一、单项选择题。

- 1、在下列逻辑电路中，不是组合逻辑电路的是 _____。
A. 译码器 B. 编码器 C. 全加器 D. 寄存器
- 2、时序电路可以由 _____ 组成。
A. 门电路 B. 触发器或门电路 C. 触发器或触发器和门电路的组合
- 3、时序电路输出状态的改变 _____。
A. 仅与该时刻输入信号的状态有关 B. 仅与时序电路的原状态有关 C. 与以上两者皆有关
- 4、组合电路的竞争和险象是指 _____。
A. 输入信号有干扰时，在输出端产生了干扰脉冲
B. 输入信号改变状态时，输出端可能出现的虚假信号
C. 输入信号不变时，输出端可能出现的虚假信号
- 5、仅具有“置 0”置“1”功能的触发器叫 _____。
A. JK 触发器 B. RS 触发器 C. D 触发器
- 6、译码电路的输入量是 _____。
A. 二进制 B. 十进制 C. 某个特定的输入信号
- 7、由 n 个 JK 触发器构成的扭环形计数器，其有效计数状态共有 _____ 个
A. n ； B. 2 的 n 次方； C. $2n$
- 8、编码电路和译码电路中，_____ 电路的输出是二进制代码。
A. 编码 B. 译码 C. 编码和译码
- 9、ROM 是指 _____。
A. 随机读写存储器 B. 只读存储器
C. 不可擦除式只读存储器 D. 可擦可编程只读存储器
- 10、寄存器在电路组成上的特点是 _____。
A. 有 CP 输入端，无数据输入端
B. 有 CP 输入端和数据输入端
C. 无 CP 输入端，有数据输入端

11、组合电路的竞争和险象是指 _____ 。

- A. 输入信号有干扰时，在输出端产生了干扰脉冲
- B. 输入信号改变状态时，输出端可能出现的虚假信号
- C. 输入信号不变时，输出端可能出现的虚假信号

12、若使 JK 触发器仅有翻转功能，控制端 J、K 正确接法是 ____

- A. $J=K=Q_n$
- B. $J=K=1$
- C. $J=K=0$

13、逻辑函数中的最小项 _____ 。

- A. 任何两个不同的最小项乘积为 1
- B. 任何两个不同的最小项乘积为 0
- C. 任何两个不同的最小项乘积为 1 或 0

14、下列触发器中，没有约束条件的是

- A. 基本 RS 触发器
- B. 主从 RS 触发器
- C. 钟控 RS 触发器
- D. 边沿 D 触发器

15、译码电路的输出量是 _____。

- A. 二进制代码
- B. 十进制数
- C. 某个对应的输出信号

16、七段数码显示译码电路应有 _____ 个输出端。

- A. 8 个
- B. 7 个
- C. 16 个

17、通常计数器应具有 _____ 功能。

- A. 清零、置数、累计 CP 个数
- B. 存取数据
- C. 两者皆有

18、二进制译码器是指 _____ 。

- A. 将二进制代码转换成某个对应的输出信号
- B. 将某个特定的输入信号转换成二进制数
- C. 具有以上两种功能

19、译码电路的输入量是 _____ 。

- A. 二进制
- B. 十进制
- C. 某个特定的输入信号

20. 某逻辑函数 $F = ABC$ ，它的反函数 F' 应是

- a. ABC
- b. $A+B+C$
- c. $A B C$

21. 下列等式正确的是

- a. $A(AB) = A + B$
- b. $AB + A = A + B$

- A. $A+AB+B=A +B$
- d. $A B C B C$

22. 组合逻辑电路的设计是指
- a. 已知逻辑要求, 求解逻辑表达式并画逻辑图的过程 b. 已知逻辑要求, 列真值表的过程 c. 已知逻辑图, 求解逻辑功能的过程
23. 以下错误的是
- a. 数字比较器可以比较数字大小 b. 实现两个一位二进制数相加的电路叫全加器
c. 实现两个一位二进制数和来自低位的进位相加的电路叫全加器 d. 编码器可分为普通全加器和优先编码器
24. 组合逻辑电路的特点是 _____。
- a. 含有记忆元件 b. 输出、输入间有反馈通路
c. 电路输出与以前状态有关 d. 全部由门电路构成。
25. 仅具有“置 0”、“置 1”功能的触发器称为 _____。
- a. JK 触发器 b. RS 触发器 c. D 触发器 d. T 触发器
26. 函数 $F = AC + AB + B + C$, 当变量取值为 _____ 时, 不会出现冒险现象。
- a. $B = C = 1$ b. $B = C = 0$
c. $A = 1, C = 0$ d. $A = B = 0$
27. 下列 _____ 方法可以消除组合逻辑电路的竞争冒险现象。
- a. 输入状态不变 b. 加精密的电源 c. 接滤波电容
28. 按各触发器的状态转换和与 CP 的分类, 计数器可分为 _____ 计数器。
- a. 加法、减法和可逆 b. 同步和异步 c. 二、十和 N 进制
29. 单稳态触发器具有 _____ 功能。
- a. 计数 b. 定时、延时 c. 定时、延时、整形
30. 逻辑函数 $F = A + (A + B)$ _____。
- a. B b. $A + B$ c. $AB + AB$
31. 下列器件中, 属于组合电路的是 _____
- a. 计数器和全加器 b. 寄存器和比较器
c. 全加器和比较器 d. 计数器和寄存器
32. 下列描述不正确的是 _____。

- a. 时序逻辑电路某一时刻的电路状态取决于电路进入该时刻前所处的状态。
- b. 寄存器只能存储少量数据，存储器可存储大量数据。
- c. 主从 JK 触发器主触发器具有一次翻转性 d. 上面描述至少有一个不正确

33. 下列 _____ 方法可以消除组合逻辑电路的竞争冒险现象。

- a. 输入状态不变 b. 加精密的电源 c. 接滤波电容

34. 仅具有“置 0”、“置 1”功能的触发器称为 _____ 。

- a. JK 触发器 b. RS 触发器 c. D 触发器

35. 下列各门电路中 _____ 的输出端可直接相连，实现线与。

- a. 一般 TTL 与非门 b. 集电极开路 TTL 与非门
- c. 一般 CMOS 与非门 d. 一般 TTL 或非门

36. 已知 $Y = AB + B\bar{A}$ 下列结果中正确的是

- a. $Y=A$ b. $Y=B$ c. $Y = A + B$ d. $Y = \bar{A}B$

37. 以下式子中不正确的是 _____ 。

- a. $1 \cdot A = A$ b. $A + A = A$ c. $\bar{A} + \bar{A} = \bar{A}$ d. $1 + A = 1$

38. 全加器是指 _____ 。

- a. 两个同位的二进制数相加 b. 不带进位的两个同位二进制数相加
- c. 两个同位的二进制数和来自低位的进位三者相加

39. 正逻辑体制是指 _____ 。

- a. 高电平用 1 表示、低电平用 0 表示
- b. 高电平用 0 表示、低电平用 1 表示 c. 高、低电平均用 1 或 0 表示

40. 在逻辑函数的卡诺图化简中，若每个圈中被合并的最小项个数越多，则说明化简后 _____ 。

- a. 乘积项个数越少 b. 该乘积项含变量少 c. 实现该功能的门电路少

41. _____ 不能将减法运算转换为加法运算。

- a. 原码 b. 反码 c. 补码 d. 其他

42. 小数“0”的反码可以写为 _____

a. 0.0... 0 b. 1.0... 0 c. 0.1... 1 d. 1.1... 1

43. 逻辑函数 $F=A B$ 和 $G=A \odot B$ 满足关系 。

a. $F=G$ b. $F'=G$ c. $F'=G'$ d. $F=G'$

44. 要使 JK 触发器在时钟脉冲作用下, 实现输出 , 则输入端信号应为 。

a. $J=K=0$ b. $J=K=1$ c. $J=1, K=0$ d. $J=0, K=1$

45. 设计一个同步 10 进制计数器, 需要 触发器。

a. 3 个 b. 4 个 c. 5 个 d. 10 个

46. 对于钟控 RS 触发器, 若要求其输出 “0” 状态不变, 则输入的 RS 信号应为

a. $RS=X0$ b. $RS=0X$ c. $RS=X1$ d. $RS=1X$

47. 以下各电路中, 可以产生脉冲定时。

a. 多谐振荡器 b. 单稳态触发器 c. 施密特触发器 d. 石英晶体多谐振荡器

48. 当用专用输出结构的 PAL 设计时序逻辑电路时, 必须还要具备有

a. 触发器 b. 晶体管 c. MOS 管 d. 电容

二、判断题。

1、若 $A+B=A+0$ 则 $B=0$

2、 $AB=AC$ 则 $B=C$

3、二极管的外加电压小于 0.5v 时管子截止, 相当于断开的开关

4、三极管 $U_{be}<0.5v$ 时管子处于截止状态, CE 间相当于断开的开关

5、NMOS 管当 $U_{GS}>V_{TN}$ 时, 管子截止, 相当于断开的开关

6、二极管与门中, 当输入端悬空时, 输出为高电平

7、CMOS 门电路的电源工作电压越高, 则其抗干扰能力越强。

8、CMOS 门电路正常工作时, 输入电流为 0, 串接电阻不影响输入状态 CMOS 门电路输入端悬空时, 相当于高电平状态。

9、CMOS 门电路输入端悬空时, 相当于高电平状态。

10、CMOS 门电路闲置输入端不允许悬空。

11、CMOS 门电路静态功耗小, 抗干扰能力强。

12、CMOS 门电电源电压只能是 5V 。

13、CMOS 门电电源电压只能是 5V 。

14、CMOS 传输, 具有双向传输模拟信号的功能 。

15、CMOS 门电路的传输时间较长。

- 16、CMOS 门电路输出端不能直接接电源。
- 17、TTL 反相器和 CMOS 反相器具有一样的功能和电气特性
- 18、TTL 反相器具有比 CMOS 反相器更强的带负载能力
- 19、TTL 反相器输入端悬空时，输出为低电平
- 20、TTL 反相器经过电阻接地，输出为高电平
- 21、TTL 反相器灌电流负载大于拉电流负载能力
- 22、TTL 反相器正常工作时输入电流等于 0
- 23、TTL 反相器采用推拉输出结构，主要是为了提高带负载能力
- 24、A 与 A 异或的结果是 0
- 25、触发器是构成时序电路的基本单元；
- 26、按触发方式分类：触发器可分为 RS、JK、D、T 触发器。
- 27、二进制变为十进制的编码称为 BCD，一般常用的 BCD 码有格雷码。
- 28、数字信号是离散的、模拟信号是连续的。
- 29、编码电路和译码电路中，译码电路的输出是二进制代码。
- 30、组合电路没有记忆功能，它由基本门电路组成。
- 31、静态 RAM 需要定时刷新，而动态 RAM 则不需要自动刷新。
- 32、施密特触发器常用于对脉冲波形的计数与寄存。
- 33、0”的补码只有一种形式。
- 34、卡诺图中，两个相邻的最小项至少有一个变量互反。
- 35、用或非门可以实现 3 种基本的逻辑运算。
- 36、三极管饱和越深，关断时间越短。
- 37、在数字电路中，逻辑功能相同的 TTL 门和 CMOS 门芯片可以互相替代使用。
- 38、多个三态门电路的输出可以直接并接，实现逻辑与。
- 39、时钟触发器仅当有时钟脉冲作用时，输入信号才能对触发器的状态产生影响。
- 40、采用奇偶校验电路可以发现代码传送过程中的所有错误。

三、填空题。

- 1、 $(10011101)_2$ 的八进制数码是 $(\quad)_8$ ，十六进制数码是 $(\quad)_{16}$ 。
- 2、十进制数 123 的二进制数是 1111011，八进制数是 \quad ；十六进制数是 \quad
- 3、十进制数 25 的 8421BCD 码 \quad ；十进制数 5 的余 3 码是 \quad ，其格雷码是 \quad

- 4、三态门的工作状态是 __、__、__ ；使用 OC 门应注意的问题是 。
- 5、RAM 基本结构包含 ____、____、____三大部分，一块 ROM 芯片有 10 个地址输入端，有 8 个数据输出端，该 ROM 芯片的容量是 bit 。
- 6、逻辑表达式 $F = ABC+BC+AB$ 最小项之和的形式是 _____ 。
- 7、两位二值码有 4 个码组， n 位二值码则有 _____ 个码组。
- 8、三极管反相器（或与非门）带灌电流负载时，负载电流的方向是从____，此时反相器（或与非门）输出 ____ 电平。
- 9、输入端的噪声容限说明 _____ 。噪声容限越大说明该门的 _____ 。
- 10、两个 OC 门的输出端（ F 1 和 F 2 ）可以____， _____ 后的输出 F 与 F 1 、 F 2 之间的逻辑关系是 _____，并称这种连接的逻辑关系为 ____ 逻辑。
- 11、异或非门的逻辑关系是：当两个输入变量 _____ 时，输出为 1； _____ 时，输出为 0。
- 12、为了避免 MOS 管的栅级与衬底之间被高压击穿， 在 CMOS 反相器输入端都加有输入保护电路，以便把输入电压钳制在安全范围内， 因此在输入电压 ____ 到 _____ 范围内，
输入电流 _____，超出范围，输入电流 _____
- 13、CMOS 传输门不仅可以作 ____ 信号的双向开关，也可以作 _____ 信号的双向开关。
- 14、同步 RS 触发器对输入信号的约束 _____，它说明 _____ 条件是 _____
“0”，应使 J, K = _____。
- 15、JK 触发器在任意状态下，为使次态为“
- 16、T 触发器是一种 _____ 触发器，当 T=1 时 _____；T=0 时 _____
- 17、主从触发器只在 CP ____ 沿改变状态，而维持阻塞触发器只在 CP _____ 沿改变状态。
同步触发器在 CP= _ 时均可改变状态。
- 18、维持阻塞型触发器的触发方式是属 _____。
- 19、时序电路按时钟脉冲的驱动情况可以分成 ____ 和 _____ 两大类。
- 20、计数器是一种能 _____ 的时序电路。
- 21、移存器可以 _____ 并 _____ 数码。

- 22、移存器的串入一并出功能可以实现 _____
- 23、施密特触发器的主要应用有 _____ 、 _____ 、 _____ 。
- 24、当多个三态门的输出端连在一条总线上时，应注意 _____ 。
- 25、时序电路在结构上，除了包含有 _____ 外，还必须包含有具有 _____ 功能的存储电路。
26. 晶体三极管中参与导电的载流子有 _____ 。 N 型半导体中的多子是 _____ 。 P 型半导体中的多子是 _____ 。
27. 半导体二极管最基本的特性是 _____ 。
28. 三极管工作在放大区时，发射结需处于 _____ 偏置，集电结需处于 _____ 偏置。
29. 基本放大电路中，若静态工作点 Q 设置为 _____ 时，有可能出现饱和失真，若 Q 点设置为 _____ 时，则容易出现截止失真。
30. 为了把一个低阻输出的放大电路转变为高阻输出的放大电路，可以在低阻输出的放大电路后面接入 _____ 放大电路。为了使高阻信号源与低阻负载能很好的配合，可以在信号源与负载之间接入 _____ 放大电路。
31. 功放电路的效率主要与工作状态有关。为了消除交越失真，应当使功率放大电路工作在 _____ 状态。
32. 为了增大放大电路的输入电阻，应引入 _____ 负反馈，为了减小放大电路的输出电阻，应引入 _____ 负反馈。
33. 集成运放工作在线性区时，净输入端之间的电压趋于零，称为 _____ ，净输入端电流为零，称为 _____ 。
34. _____ 在时间和数值上都是连续的信号称为 _____ ，在时间和数字上都是离散的信号称为 _____ 。
35. N 型半导体中的多子是 _____ 。 P 型半导体中的多子是 _____ 。
36. _____ 在共射极、共集电极和共基极三种基本放大电路组态中，输入电阻最大的是 _____ 组态。输入电阻最小的是 _____ 组态。
37. 三极管在放大电路中有共射、共基，共集三种组态，它们分别被称为反相电压放大器、 _____ 、 _____ 。
38. 集成运放工作在线性区时，输入端之间的电压趋于零，称为 _____ ，输入端电流为 _____ 。

零，称为 。

39. 正弦波振荡电路的振幅平衡条件是 。

40. 为了减小放大电路的输入电阻，应引入 负反馈，为了减小放大电路的输出电阻，应引入 负反馈。

41. 三态门除了输出高电平和低电平之外，还有第三种输出状态，即 状态。

42. 逻辑门电路能够驱动同类负载门的个数称为 。

43. 可以用 擦除 EPROM 中所存的信息。

44. 稳态触发器可应用于 、延时、 。

45. 逻辑代数又称布尔代数。基本的逻辑关系有 、 、 三种。

46. 时序逻辑电路按照其触发器是否有统一的时钟控制分为 时序电路和 时序电路。

47. 存储器的 和 是反映系统性能的两个重要指标。

48. 逻辑函数 $F = ABBC$ 的最小项之和表达式为 。

四、问答题

1、试简述分析同步和异步时序逻辑电路的一般方法。

2、TTL 和 CMOS 电路从输入端特性来比较，有什么相异之处，使用时应注意什么？

3、简述组合逻辑电路的特点。

4、消除竞争冒险的原因有哪些？

5、同步触发器和主从边沿触发器的根本区别是什么？

6、同步时序电路和异步时序电路有什么差异？

7、试说明单稳态触发器的工作特点，并说明该电路的主要用途。

8、简单叙述单稳态触发器的主要特点。

9、数字电子电路与模拟电路相比其突出优点是什么？

10、数字电子基础常用的 BCD 码有哪些？

11、简述数字信号和模拟信号的区别。

12、简述五种常用的触发器。

13、在数字系统中为什么要采用二进制？

14、逻辑代数与普通代数有何异同？。

五、分析与设计题。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/166205220012010110>