

(19) 中华人民共和国国家知识产权局



(12) 发明专利说明书

(10) 申请公布号 CN 104657537 A

(43) 申请公布日 2015.05.27

---

(21) 申请号 CN201410677448.7

(22) 申请日 2014.11.21

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 陈君胜 杨尊宇 胡伟毅 管瑞丰 杨清舜 郑仪侃

(74) 专利代理机构 北京德恒律治知识产权代理有限公司

代理人 章社杲

(51) Int. CI

权利要求说明书 说明书 幅图

---

(54) 发明名称

设计基于鳍式场效应晶体管  
(FinFET) 的电路的方法及其实施系统

(57) 摘要

本发明提供了一种设计基于鳍式场效应晶体管 (FinFET) 的电路的方法及其实施系统。设计基于鳍式场效应晶体管 (FinFET) 的电路的方法，包括：使用处理器，基于性能规范设计第一电路原理图设计，第一电路原理图设计不包括人工元件，人工元件用于仿真基于 FinFET 的电路

的电性能。该方法还包括：使用处理器，修改第一电路原理图设计内的至少一个器件以形成考虑人工元件的第二电路原理图设计。该方法还包括：使用第二电路原理图并考虑人工元件来执行布局前仿真。该方法还包括：生成布局，其中该布局不考虑人工元件；以及执行布局后仿真，布局后仿真不考虑人工元件。

法律状态

法律状态公告日

法律状态信息

法律状态

# 权利要求说明书

1.一种设计基于鳍式场效应晶体管(FinFET)的电路的方法，所述方法包括：

使用处理器，基于性能规范设计第一电路原理图设计，所述第一电路原理图设计不包括人工元件，其中，所述人工元件用于仿真所述基于FinFET 的电路的电性能；

使用所述处理器，修改所述第一电路原理图设计内的至少一个器件以形成考虑所述人工元件的第二电路原理图设计；

使用所述第二电路原理图并考虑所述人工元件来执行布局前仿真；

生成布局，所述布局不考虑所述人工元件；以及

执行布局后仿真，所述布局后仿真不考虑所述人工元件。

2.根据权利要求1所述的方法，还包括：

执行布局与原理图(LVS)检查，所述LVS 检查不考虑所述人工元件；  
以及

执行RC 提取，所述RC 提取不考虑所述人工元件。

3.根据权利要求1所述的方法，还包括：

将所述布局前仿真的结果与所述性能规范进行比较；

如果所述布局前仿真的结果不满足所述性能规范，则修正所述第二电路原理图设计；以及

如果所述布局前仿真的结果满足所述性能规范，则生成所述布局。

4.根据权利要求 1 所述的方法，其中，修改所述第一电路原理图设计包括将所述第一电路原理图设计与宏 FinFET 库组合，其中所述宏 FinFET 库包括与所述人工元件相关的信息。

5.根据权利要求 1 所述的方法，修改所述第一电路原理图设计包括将所述所述第一电路原理图设计与工艺设计工具 (PDK) 库和宏 FinFET 应用程序接口 (API) 的组合进行组合，其中所述 PDK 包括所述第一电路原理图设计中的 FinFET 器件的结构，并且所述宏 FinFET API 包括与所述人工元件相关的信息。

6.根据权利要求 5 所述的方法，还包括：将所述宏 FinFET API 中的网表程序连接到所述 PDK 库的网表包装中，以包括与所述人工元件相关的信息。

7.根据权利要求 1 所述的方法，还包括：

对 PDK 库建立约束；以及

基于所述约束 PDK 库，在所述布局前仿真期间接收用于所述人工元件的电性能信息。

8.根据权利要求 7 所述的方法，其中，接收所述电性能信息包括：从与宏 FinFET AP 组合的约束 API 接收所述电性能信息。

9.一种设计基于鳍式场效应晶体管 (FinFET) 的电路的方法，所述方法包括：

使用处理器，基于性能规范设计第一电路原理图设计，所述第一电路

原理图设计不包括人工元件，其中所述人工元件用于仿真所述基于 FinFET 的电路的电性能；

使用宏 FinFET 库修改所述第一电路原理图设计以形成包括所述人工

元件的第二电路原理图设计，所述第二电路原理图设计可以在寄生模式和不同于所述寄生模式的布局模式之间切换，并且所述宏 FinFET 库包

括与所述寄生模式相关联的第一参数单元 (p 单元) 符号、与所述布局模式相关

的第一 p 单元原理图、与所述布局模式相关联的第二 p 单元原理图以及电阻电容 (RC) 等价方程式；

使用处于所述寄生模式的所述第二电路原理图设计和所述 RC 等价方程式来执行布局前仿真；

使用处于所述布局模式的所述第二电路原理图设计生成布局；以及

使用处于所述布局模式的所述第二电路原理图设计来执行布局后仿真。

10. 一种用于设计基于鳍式场效应晶体管 (FinFET) 的电路的系统，  
所述系统包括：

处理器；以及

非暂时性计算机可读介质，连接至所述处理器，所述非暂时性计算机

可读介质包含用于进行以下操作的指令：

使用处理器，基于性能规范设计第一电路原理图设计，所述第一

电路原理图设计不包括人工元件，其中，所述人工元件用于仿真所述  
基于 FinFET 的电路的电性能；

使用所述处理器，修改所述第一电路原理图设计内的至少一个器

件以形成考虑所述人工元件的第二电路原理图设计；

使用所述第二电路原理图并考虑所述人工元件来执行布局前仿

真；

生成布局，所述布局不考虑所述人工元件；以及

执行布局后仿真，所述布局后仿真不考虑所述人工元件。

# 说明书

<p>技术领域

本发明一般地涉及半导体技术领域，更具体地，涉及半导体器件的设计方法和系统。

背景技术

电路设计者接收来自消费者的电路性能要求并设计能够满足性能要求的电路。使用计算机程序来设计电路，计算机程序帮助电路设计者对所设计电路的性能进行仿真。

在电路的设计期间，考虑相邻器件和导电元件之间的电阻和电容以更加精确地预测电路性能。随着节点尺寸的减小，相邻器件和导电元件之间的间隔也减小，从而增加了电阻和电容对电路性能的影响。

对于基于鳍式场效应晶体管 (FinFET) 器件的电路来说，电路设计者创建两个独立的原理图。一个原理图包括不作为实际电路设计的一部分的人工元件。这些人工元件用于帮助计算相邻器件和连接之间的电阻和电容。

另一个原理图不包括人工元件，并且用于帮助配置电路内的器件。使用迭代法来精化这两个原理图，其中迭代法包括对两个原理图进行修改来去除原理图之间的差异并满足性能要求。

发明内容

为了解决现有技术中所存在的缺陷，根据本发明的一方面，提供了一种设计基于鳍式场效应晶体管 (FinFET) 的电路的方法，所述方法包括：使用处理器，基于性能规范设计第一电路原理图设计，所述第一电路原理



图设计不包括人工元件，其中，所述人工元件用于仿真所述基于 FinFET 的电路的电性能；使用所述处理器，修改所述第一电路原理图设计内的至少一个器件以形成考虑所述人工元件的第二电路原理图设计；使用所述第二电路原理图并考虑所述人工元件来执行布局前仿真；生成布局，所述布局不考虑所述人工元件；以及执行布局后仿真，所述布局后仿真不考虑所述人工元件。

该方法还包括：执行布局与原理图(LVS)检查，所述 LVS 检查不考虑所述人工元件；以及执行 RC 提取，所述 RC 提取不考虑所述人工元件。

该方法还包括：将所述布局前仿真的结果与所述性能规范进行比较；

如果所述布局前仿真的结果不满足所述性能规范，则修正所述第二电路原理图设计；以及如果所述布局前仿真的结果满足所述性能规范，则生成所述布局。

在该方法中，修改所述第一电路原理图设计包括将所述第一电路原理图设计与宏 FinFET 库组合，其中所述宏 FinFET 库包括与所述人工元件相关的信息。

在该方法中，修改所述第一电路原理图设计包括将所述第一电路原理图设计与工艺设计工具包(PDK)库和宏 FinFET 应用程序接口(API)的组合进行组合，其中所述 PDK 包括所述第一电路原理图设计中的 FinFET 器件的结构，并且所述宏 FinFET API 包括与所述人工元件相关的信息。

该方法还包括：将所述宏 FinFET API 中的网表程序连接到所述 PDK 库的网表包装中，以包括与所述人工元件相关的信息。

该方法还包括：对 PDK 库建立约束；以及基于所述约束 PDK 库，在所述布局前仿真期间接收用于所述人工元件的电性能信息。

在该方法中，接收所述电性能信息包括：从与宏 FinFET API 组合的约束 API 接收所述电性能信息。

根据本发明的另一方面，提供了一种设计基于鳍式场效应晶体管

(FinFET)的电路的方法，所述方法包括：使用处理器，基于性能规范设计第一电路原理图设计，所述第一电路原理图设计不包括人工元件，其中所述人工元件用于仿真所述基于 FinFET 的电路的电性能；使用宏 FinFET 库修改所述第一电路原理图设计以形成包括所述人工元件的第二电路原理图设计，所述第二电路原理图设计可以在寄生模式和不同于所述寄生模式的布局模式之间切换，并且所述宏 FinFET 库包括与所述寄生模式相关联的第一参数单元(p单元)符号、与所述布局模式相关联的第二 p 单元符号、与所述寄生模式相关联的第一 p 单元原理图、与所述布局模式相关联的第二 p 单元原理图以及电阻电容(RC)等价方程式；

使用处于所述寄生模式的所述第二电路原理图设计和所述 RC 等价方程式来执行布局前仿真；使用处于所述布局模式的所述第二电路原理图设计生成布局；以及使用处于所述布局模式的所述第二电路原理图设计来执行布局后仿真。

在该方法中，执行所述布局前仿真包括使用包括所述人工元件的所述第一 p 单元原理图。

在该方法中，修改所述第一电路原理图包括考虑所述人工元件，所述

人工元件包括多晶硅氧化物扩散边缘 (PODE) 元件、中段制程 (MEOL)

连接和后段制程 (BEOL) 连接中的至少一种。

该方法还包括：使用处于所述布局模式的所述第二电路原理图设计来执行布局与原理图 (LVS) 检查；以及使用处于所述布局模式的所述第二原理图设计执行 RC 提取。

该方法还包括：将所述布局前仿真的结果与所述性能规范进行比较；

如果所述布局前仿真的结果不满足所述性能规范，则修正所述第二电路原理图设计；以及如果所述布局前仿真的结果满足所述性能规范，则生成所述布局。

该方法还包括：将所述布局后仿真的结果与所述性能规范进行比较；

如果所述布局后仿真的结果不满足所述性能规范，则修正所述第二电路原理图设计和所述布局；以及如果所述布局后仿真的结果满足所述性能规范，则制造所述布局的掩模。

在该方法中，执行所述布局前仿真包括使用线性 RC 等价方程式。

在该方法中，执行所述布局前仿真包括使用非线性 RC 等价方程式。

根据本发明的又一方面，提供了一种用于设计基于鳍式场效应晶体管

(FinFET) 的电路的系统，所述系统包括：处理器；以及非暂时性计算机可读介质，连接至所述处理器，所述非暂时性计算机可读介质包含用于进行以下操作的指令：使用处理器，基于性能规范设计第一电路原理图设计，所述第一电路原理图设计不包括人工元件，

其中，所述人工元件用于仿真所述基于 FinFET 的电路的电性能；使用所述处理器，修改所述第一电路原理图设计内的至少一个器件以形成

考虑所述人工元件的第二电路原理图设计；使用所述第二电路原理图并考虑所述人工元件来执行布局前仿真；生成元件；以及执行布局后仿真，所述布局

设计；使用所述第二电路原理图并考虑所述人工元件来执行布局前仿真；生成元件；以及执行布局后仿真，所述布局后仿真不考虑所述人工元件。

在该系统中，所述非暂时性计算机可读介质还包括用于将所述第一电路原理图设计与宏 FinFET 库组合的指令，所述宏 FinFET 库包括与所述人工元件相关的信息。

在该系统中，所述非暂时性计算机可读介质还包括用于将所述第一电路原理图设计与工艺设计工具包 (PDK) 和宏 FinFET 应用程序接口 (API) 的组合进行组合的指令，其中所述 PDK 包括所述第一电路原理图设计中的 FinFET 器件的结构，并且所述宏 FinFET API 包括与所述人工元件相关的信息。

在该系统中，所述非暂时性计算机可读介质还包括用于使用所述宏 FinFET API 中的网表程序修改所述 PDK 库中的网表包装的指令，以包括与所述人工元件相关的信息。

## 附图说明

通过附图示出了一个或多个实施例，而不是进行限定，在附图中，具有相同参考标号的元件表示类似的元件。应该强调的是，根据工业中的标准实际，各个部件可以不按比例绘制而只用于示意的目的。实际上为了讨论的清楚，可以任意地增加或减小图中各个部件的尺寸。本发明的附图包括：

图 1 是根据一个或多个实施例的设计基于鳍式场效应晶体管 (FinFET) 的电路

的方法的流程图；

图 2 是根据一个或多个实施例的宏 FinFET 库的框图；

图 3A 是根据一个或多个实施例的处于寄生模式的 n 型 FinFET 的示意图；

图 3B 是根据一个或多个实施例的处于布局模式的 n 型 FinFET 的示意图；

图 4 是根据一个或多个实施例的设计基于 FinFET 的电路的方法的流程图；

图 5 是根据一个或多个实施例的工艺设计工具包(PDK)库和宏 FinFET 应用编程接口(API)的框图；

图 6 是根据一个或多个实施例的设计基于 FinFET 的电路的方法的流程图；以及

图 7 是根据一个或多个实施例的用于设计基于 FinFET 的电路的通用计算设备的框图。

具体实施方式

以下公开内容提供了许多不同的用于实施本发明的不同特征的实施例或实例。以下描述了部件和配置的具体实例以简化本发明。这些仅是实例而不用来限制本发明。

图 1 是根据一个或多个实施例的设计基于鳍式场效应晶体管(FinFET)的电路

的方法 100 的流程图。方法 100 开始于操作 102，其中设计不包括人工元件(artificial elements)的原理图设计。电路设计者接收来自消费者的性能规范。电路设计者创建原理图设计以满足性能规范。原理图设计最初不包括用于对原理图设计者的相邻器件和导电元件的效果进行仿真的人工元件。在至少一些实施例中，术语“性能规范”用于包括一个或多个性能规范。

人工元  
性能规  
不包括  
元件。  
规范。

宏 FinFET 库 104 与来自操作 102 的原理图设计组合，以说明基于

FinFET 的电路中的每个 FinFET 器件和连接内的元件的电阻和电容影响。

宏 FinFET 库 104 存储在非暂时性计算机可读介质中。宏 FinFET 库 104 包括用于布局前仿真和布局与原理图 (LVS) 仿真的参数单元 (p单元) 符号。

宏 FinFET 库 104 还包括用于每个 FinFET 器件的部件描述格式 (CDF)。

宏 FinFET 库 104 包括称为 RC 二进制值的用于电阻和电容的仿真值。在一些实施例中，使用商业可用的 RC 提取工具来确定 RC 二进制值。基于对

设计人工元件以对 FinFET 器件的电阻和电容效果进行仿真。宏 FinFET 库 104 被配置为与特定的 FinFET 器件设计 (即，特定尺寸)、多个指状物和其他适当的人工元件组合地存储这些人工作件。在一些实施例中，人工元件包括多晶硅氧化物扩散边缘 (PODE) 器件、中段制程 (MEOL) 连接、后段制程 (BEOL) 连接、或对 FinFET 器件内的 RC 效果进行仿真的其他适当的 RC 器件。

FinFET 器件的修改和所得到的 RC 二进制值，

器件的电阻和电容效果进行仿真。宏 FinFET 库 104 被配置为与特定的 FinFET 器件设计 (即，特定尺寸)、多个指状物和其他适当的人工元件组合地存储这些人工作件。在一些实施例中，人工元件包括多晶硅氧化物扩散边缘 (PODE) 器件、中段制程 (MEOL) 连接、后段制程 (BEOL) 连接、或对 FinFET 器件内的 RC 效果进行仿真的其他适当的 RC 器件。

在操作 106 中，开发包括宏 FinFET 参数的原理图设计。通过将宏

FinFET 库 104 与来自操作 102 的原理图设计进行组合，原理图中的 FinFET 器件被修改为包括帮助对 FinFET 器件的 RC 性能进行仿真的人工元件。与来自操作 102 的原理图设计相比，由于包括了人工元件，宏 FinFET 参数能够更加精确地仿真电路的性能。

在操作 108 中执行布局前仿真。布局前仿真生成电特性或功能特性，其用于将原理图设计的性能与来自消费者的性能规范进行比较。在一些实施例中，将原理图设计的性能与来自消费者的性能规范进行比较。在一些实施例中，布局前仿真包括将原理图设计与性能规范之间的 I-V 曲线或电流增益进行比较。在一些实施例中，布局前仿真包括响应于仿真输入对原始图设计的输出进行仿真。然后，输出与性能规范进行比较。

在布局前仿真之后，如果布局前仿真的结果满足性能规范，则方法 100 继续操作 110。如果布局前仿真的结果不满足性能规范，则方法 100 返回到操作 106 且对原理图设计修正。

在操作 110 中，生成布局。布局是原理图设计的器件的物理位置和连接。布局不包括用于在布局前仿真中对 RC 性能进行仿真的人工元件。在一些实施例中，使用图形数据库系统(GDS)来生成布局。在一些实施例中，布局包括多层。在一些实施例中，生成布局包括设计用于对晶圆进行图案化以形成电路的掩模。在一些实施例中，掩模的数量等于布局中层的数量。在一些实施例中，多于一个的掩模被用于形成布局的至少一层。在一些实施例中，在非暂时性计算机可读介质中存储布局。在一些实施例中，使用工具(诸如 CADENCE DESIGN SYSTEMS 公司的或另一种适当的布局生成工具)来生成布局。在一些实施例中，基于网表(其基于原理图设计来创建)来生成布局。

在一些实施例中，网表包括原理图设计的各个器件和连接的材料和尺寸。例如，表示晶体管的网表包括栅极宽度、栅极长度、晶体管终端的位置、指状物的数量、或者其他用于描述晶体管的适当参数。

在一些实施例中，在生成布局期间执行设计规则检查(DRC)。DRC 用于保持布局中部件之间的足够间隔，使得可以在制造工艺期间精确地形成布局。在一些实施例中，用于生成布局的相同工具用于执行 DRC。在一些实施

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/20520034020012010>