

计算机组成原理试题〔一〕

一、

选择题〔共 20 分，每题 1 分〕

1. 零地址运算指令在指令格式中不给出操作数地址，它的操作数来自__C__。
C. 栈顶和次栈顶；
2. __C__可区分存储单元中存放的是指令还是数据。
C. 控制器；
3. 所谓三总线构造的计算机是指__B__。
B. I/O 总线、主存总线和 DMA 总线三组传输线；
4. *计算机字长是 32 位，它的存储容量是 256KB，按字编址，它的寻址围是__C__。
C. 64KB；
5. 主机与设备传送数据时，采用__A__，主机与设备是串行工作的。
A. 程序查询方式；
6. 在整数定点机中，下述第__B__种说法是正确的。
B. 三种机器数均可表示 -1；
7. 变址寻址方式中，操作数的有效地址是__C__。
C. 变址存放器容加上形式地址；
8. 向量中断是__C__。
C. 由硬件形成向量地址，再由向量地址找到中断效劳程序入口地址
9. 一个节拍信号的宽度是指__C__。
C. 时钟周期；
10. 将微程序存储在 EPROM 中的控制器是__A__控制器。

A. 静态微程序;

11. 隐指令是指__D__。

D. 指令系统中没有的指令。

12. 当用一个 16 位的二进制数表示浮点数时, 以下方案中第__B__种最好。

B. 阶码取 5 位〔含阶符 1 位〕, 尾数取 11 位〔含数符 1 位〕;

13. DMA 方式__B__。

B. 不能取代中断方式;

14. 在中断周期中, 由__D__将允许中断触发器置“0”。

D. 中断隐指令。

15. 在单总线构造的 CPU 中, 连接在总线上的多个部件__B__。

B. *—时刻只有一个可以向总线发送数据, 但可以有多个同时从总线接收数据;

16. 三种集中式总线控制中, __A__方式对电路故障最敏感。

A. 链式查询;

17. 一个 16K×8 位的存储器, 其地址线和数据线的总和是__D__。

D. 22.

18. 在间址周期中, __C__。

C. 对于存储器间接寻址或寄存器间接寻址的指令, 它们的操作是不同的;

19. 下述说法中__B__是正确的。

B. EPROM 是可改写的, 但它不能用作随机存储器用;

20. 打印机的分类方法很多, 假设按能否打印汉字来区分, 可分为__C__。

C. 点阵式打印机和活字式打印机;

二、填空〔共 20 分, 每空 1 分〕

1. 设浮点数阶码为 8 位〔含 1 位阶符〕, 尾数为 24 位〔含 1 位数符〕, 则 32 位二进制补码浮点规格化数对应的十进制真值围是: 最大正数为 $2^{127}(1-2^{-23})$, 最小正数为 2^{-129} , 最大负数为 $2^{-128}(-2^{-1}-2^{-23})$, 最小负数为 -2^{127}

2. 指令寻址的根本方式有两种, 一种是寻址方式, 其指令地址由给出, 另一种是寻址方式, 其指令地址由给出。

3. 在一个有四个过程段的浮点加法器流水线中, 假设四个过程段的时间分别是 $T_1 = 60\text{ns}$ 、 $T_2 = 50\text{ns}$ 、 $T_3 = 90\text{ns}$ 、 $T_4 = 80\text{ns}$ 。则加法器流水线的时钟周期至少为。如果采用同样的逻辑电路, 但不是流水线方式, 则浮点加法所需的时间为。〔不要求掌握!!〕

4. 一个浮点数, 当其尾数右移时, 欲使其值不变, 阶码必须。尾数右移 1 位, 阶码。

5. 存储器由 m 〔 $m=1, 2, 4, 8\dots$ 〕个模块组成, 每个模块有自己的和存放器, 假设存储器采用编址, 存储器带宽可增加到原来的_____倍。

6. 按序写出多重中断的中断效劳程序包括、、、

和中断返回几局部。

三、名词解释(共 10 分, 每题 2 分)

1. 微操作命令和微操作
2. 快速缓冲存储器
3. 基址寻址
4. 流水线中的多发技术〔不要求掌握!!〕
5. 指令字长

四、计算题〔5 分〕

设机器数字长为 8 位〔含 1 位符号位〕, 设 $A = \frac{9}{64}$, $B = -\frac{13}{32}$, 计算 $[A \pm B]_{\text{补}}$, 并复原成真值。

五、简答题〔共 20 分〕

1. 异步通信与同步通信的主要区别是什么, 说明通信双方如何联络。〔4 分〕
2. 为什么外围设备要通过接口与 CPU 相连. 接口有哪些功能. 〔6 分〕

六、问答题〔共 15 分〕

1. 设 CPU 中各部件及其相互连接关系如以下图所示。图中 W 是写控制标志, R 是读控制标志, R_1 和 R_2 是暂存器。〔8 分〕

〔1〕假设要求在取指周期由 ALU 完成 $(PC)+1 \rightarrow PC$ 的操作〔即 ALU 可以对它的一个源操作数完成加 1 的运算〕。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

〔2〕写出指令 $ADD*data$ 〔*为立即寻址特征, 隐含的操作数在 ACC 中〕在执行阶段所需的微操作命令及节拍安排。

2. DMA 接口主要由哪些部件组成.在数据交换过程中它应完成哪些功能.画出 DMA 工作过程的流程图〔不包括预处理和后处理〕

七、设计题〔10 分〕

设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{MREQ} 作访存控制信号〔低电平有效〕, 用 \overline{WR} 作读写控制信号〔高电平为读, 低电平为写〕。现有以下芯片及各种门电路〔门电路自定〕, 如下图。画出 CPU 与存储器的连接图, 要求:

〔1〕存储芯片地址空间分配为: 最大 4K 地址空间为系统程序区, 相邻的 4K 地址空间为系统程序工作区, 最小 16K 地址空间为用户程序区;

〔2〕指出选用的存储芯片类型及数量;

〔3〕详细画出片选逻辑。

〔1〕主存地址空间分配:

6000H ~ 67FFH 为系统程序区;

6800H ~ 6BFFH 为用户程序区。

〔2〕合理选用上述存储芯片, 说明各选几片。

〔3〕详细画出存储芯片的片选逻辑图。

计算机组成原理试题答案〔一〕

一、选择题〔共 20 分，每题 1 分〕

1. C 2. C 3. B 4. B 5. A 6. B 7. C
8. C 9. C 10. A 11. D 12. B 13. B 14. D
15. B 16. A 17. D 18. C 19. B 20. C

二、填空〔共 20 分，每空 1 分〕

1. A. $2^{127}(1-2^{-23})$ B. 2^{-129} C. $2^{-128}(-2^{-1}-2^{-23})$ D. -2^{127}
2. A. 顺序 B. 程序计数器 C. 跳跃 D. 指令本身
3. A. 90ns B. 280ns
4. A. A. 增加 B. 加 1
5. A. 地址 B. 数据 C. 模 m D. m
6. A. 保护现场 B. 开中断 C. 设备效劳 D. 恢复现场

三、名词解释(共 10 分，每题 2 分)

1. 微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最根本操作。

2. 快速缓冲存储器

答：快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可到达访问主存的目的，从而提高了访存速度。

3. 基址寻址

答：基址寻址有效地址等于形式地址加上基址寄存器的容。

4. 流水线中的多发技术

答：为了提高流水线的性能，设法在一个时钟周期〔机器主频的倒数〕产生更多条指令的结

果，这就是流水线中的多发技术。

5. 指令字长

答：指令字长是指机器指令中二进制代码的总位数。

四、〔共 5 分〕

计算题 答： $[A+B]_{\text{补}} = 1.1011110$ ， $A+B = [-17/64]$

$[A-B]_{\text{补}} = 1.1000110$ ， $A-B = [35/64]$

五、简答题〔共 20 分〕

1. 〔4 分〕 答：

同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进展信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

2. 〔6 分，每写出一种给 1 分，最多 6 分〕

答：外围设备要通过接口与 CPU 相连的原因主要有：

〔1〕一台机器通常配有多台外设，它们各自有其设备号〔地址〕，通过接口可实现对设备的选择。

〔2〕I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，到达速度匹配。

〔3〕I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

〔4〕I/O 设备的入/出电平可能与 CPU 的入/出电平不同，通过接口可实现电平转换。

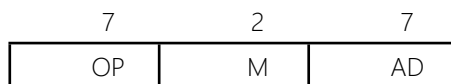
[5] CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

[6] I/O 设备需将其工作状态〔“忙”、“就绪”、“错误”、“中断请求”等〕及时报告 CPU，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能〔包括缓冲、数据格式及电平的转换〕。

4. [5分] 答：

(1) 根据 IR 和 MDR 均为 16 位，且采用单字长指令，得出指令字长 16 位。根据 105 种操作，取操作码 7 位。因允许直接寻址和间接寻址，且有变址寄存器和基址寄存器，因此取 2 位寻址特征，能反映四种寻址方式。最后得指令格式为：



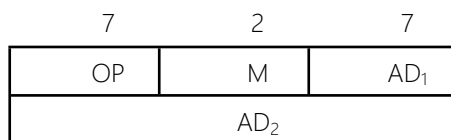
其中 OP 操作码，可完成 105 种操作；

M 寻址特征，可反映四种寻址方式；

AD 形式地址。

这种格式指令可直接寻址 $2^7 = 128$ ，一次间址的寻址围是 $2^{16} = 65536$ 。

(2) 双字长指令格式如下：



其中 OP、M 的含义同上；

AD₁||AD₂ 为 23 位形式地址。

这种格式指令可直接寻址的围为 $2^{23} = 8M$ 。

(3) 容量为 8MB 的存储器，MDR 为 16 位，即对应 4M×16 位的存储器。可采用

双字长指令，直接访问 4M 存储空间，此时 MAR 取 22 位；也可采用单字长指令，但 R_A 和 R_B 取 22 位，用变址或基址寻址访问 4M 存储空间。

六、〔共 15 分〕问答题

1.〔8 分〕答：

〔1〕由于 $(PC)+1 \rightarrow PC$ 需由 ALU 完成，因此 PC 的值可作为 ALU 的一个源操作数，靠控制 ALU 做 +1 运算得到 $(PC)+1$ ，结果送至与 ALU 输出端相连的 R_2 ，然后再送至 PC。

此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

T_0 $PC \rightarrow MAR, 1 \rightarrow R$

T_1 $M(MAR) \rightarrow MDR, (PC)+1 \rightarrow R_2$

T_2 $MDR \rightarrow IR, OP(IR) \rightarrow$ 微操作命令形成部件

T_3 $R_2 \rightarrow PC$

〔2〕立即寻址的加法指令执行周期的微操作命令及节拍安排如下：

T_0 $Ad(IR) \rightarrow R_1$; 立即数 $\rightarrow R_1$

T_1 $(R_1)+(ACC) \rightarrow R_2$; ACC 通过总线送 ALU

T_2 $R_2 \rightarrow ACC$; 结果 $\rightarrow ACC$

2.〔7 分〕答：DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中，DMA 接口的功能有：〔1〕向 CPU 提出总线请求信号；〔2〕当 CPU 发出总线响应信号后，接收对总线的控制；〔3〕向存储器发地址信号〔并能自动修改地址指针〕；〔4〕向存储器发读/写等控制信号，进展数据传送〔5〕修改字计数器，并根据传送字数，判断 DMA 传送是否完毕〔6〕发 DMA 完毕信号，向 CPU 申请程序中断，报告一组数据传送完毕。DMA 工作过程流程如下图。

七、设计题〔共 10 分〕

4.在指令的地址字段中,直接指出操作数本身的寻址方式,称为__B__。

A.隐含寻址 B.立即寻址 C.寄存器寻址 D.直接寻址

5.信息只用一条传输线,且采用脉冲传输的方式称为__A__。

A.串行传输 B.并行传输 C.并串行传输 D.分时传输

6.和外存储器相比,存储器的特点是__C__。

A.容量大、速度快、本钱低 B.容量大、速度慢、本钱高 C.容量小、速度快、本钱高 D.容量小、速度快、本钱低

7.CPU 响应中断的时间是__C__。

A. 中断源提出请求 B. 取指周期完毕 C. 执行周期完毕。

8.EPROM 是指__C__。

A.读写存储器 B.只读存储器

C.可编程的只读存储器 D.光擦除可编程的只读存储器

9.以下数中最小的数是__B__。

A. $\{1101001\}_2$ B. $\{52\}_8$ C. $\{133\}_8$ D. $\{30\}_{16}$

10.假定以下字符码中有奇偶校验位,但没有数据错误,采用偶校验的字符码是__D__。

A. 11001011B. 11010110C. 11000001D. 11001001

11.单地址指令中为了完成两个数的算术运算,除地址码指明的一个操作数外,另一个数常需采用__C__。

A.堆栈寻址方式 B.立即寻址方式 C.隐含寻址方式 D.间接寻址方式

接寻址方式

12.用于对*n个寄存器中操作数的寻址方式称为__C__寻址。

A.直接 B.间接 C.寄存器直接 D.寄存器间接

13.中央处理器〔CPU〕包含_C_____。

A. 运算器 B. 控制器

C. 运算器、控制器和 cache D. 运算器、控制器和主存储器

14.在 CPU 中跟踪指令后继地址的寄存器是_B_____。

A. 主存地址寄存器 B. 程序计数器 C. 指令寄存器 D. 状态

条件寄存器

15.在集中式总线仲裁中, _C_____方式响应时间最快。

A. 链式查询 B.计数器定时查询 C.独立请求 D.以上三种一样

16.PCI 总线的根本传输机制是_D_____。

A. 串行传输 B. 并行传输 C. DMA 式传输 D. 猝发式

传输

17.中断向量地址是_B_____。

A. 子程序入口地址 B. 中断效劳子程序入口地址 C. 中断效劳子程序出口地址 D. 中断返

回地址

18.CD-ROM 是_C_____型光盘。

A. 一次 B. 重写 C. 只读

19.*计算机字长是 16 位, 它的存储容量是 1MB, 按字编址, 它的寻址围是_A_____。

A. 512KB. 1MC. 512KB

20. 一个 16K×32 位的存储器, 其地址线和数据线的总和是_B_____。

A. 48B. 46C. 36D.40

二、填空题〔共 7 题, 每空 1 分, 共 20 分〕

1.计算机系统是由_____和软件两大局部组成, 软件又分为_____和_____。

- 2.系统总线按传输信息的不同分为地址总线、_____、_____三大类。
- 3.四位二进制补码所能表示的十进制整数围是_____至_____。4.半导体 SRAM 靠_____存储信息, 半导体 DRAM 靠_____存储信息。5.动态 RAM 的刷新方式通常有_____、_____、_____三种。6.完整的指令周期包括取指、_____、_____、_____四个子周期, 影响指令流水线性能的三种相关分别是_____相关、_____相关和控制相关。
- 7.Cache 和主存地址的映射方式有_____、_____、_____三种。

三、简答题〔共 2 题, 每题 5 分, 共 10 分〕

1. 什么叫指令.什么叫指令系统.
- 2.一次程序中断大致可分为哪几个阶段.

四、应用题〔共 5 题, 每题 10 分, 共 50 分〕

1.设*机主频为 8MHz, 每个机器周期平均含 2 个时钟周期, 每条指令平均有 2.5 个机器周期, 试问该机的平均指令执行速度为多少 MIPS.假设机器主频不变, 但每个机器周期平均含 4 个时钟周期, 每条指令平均有 5 个机器周期, 则该机的平均指令执行速度又是多少 MIPS.由此可得出什么结论.

2. 设*机有四个中断源 A、B、C、D, 其硬件排队优先次序为 A,B,C,D, 现要求将中断处理次序改为 D,A,C,B。〔1〕写出每个中断源对应的屏蔽字。

〔2〕按以下图时间轴给出的四个中断源的请求时刻, 画出 CPU 执行程序的轨迹。设每个中断源的中断效劳程序时间均为 20s。

3.设机器数字长为 8 位〔含一位符号位〕, 假设 $A=+15$, $B=+24$, 求 $[A+B]$ 补和 $[A-B]$ 补并复原成真值。

4.*机字长 16 位, 存储字长等于指令字长, 假设存储器直接寻址空间为 128 字, 变址时的位移量为 $-64\sim+63$, 16 个通用寄存器可作为变址寄存器。设计一套指令格式, 满足以下寻址类

型的要求。

〔1〕直接寻址的二地址指令 3 条；〔2〕变址寻址的一地址指令 6 条；〔3〕寄存器寻址的二地址指令 9 条；〔4〕直接寻址的一地址指令 13 条。

5. 设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{MREQ} 〔低电平有效〕作访存控制信号, R/\overline{W} 作读写命令信号〔高电平为读, 低电评为写〕。现有 8 片 $8K \times 8$ 位的 RAM 芯片与 CPU 相连, 试答复:

- 〔1〕用 74138 译码器画出 CPU 与存储芯片的连接图；〔2〕写出每片 RAM 的地址围；
〔3〕根据图〔1〕, 假设出现地址线 A13 与 CPU 断线, 并搭接到高电平上, 将出现什么后果。

计算机组成原理试题〔二〕答案

一、选择题

1.B.2.B3.D4.B5.A6.C7.C8.C9.B10.D11.C12.C13.C14.B15.C16.D17.B18.C19.A20.B

二、填空题

1.硬件系统 软件 应用软件 2 数据地址控制 3+15-16 4.触发器 电容 5 集中分散异步 6 间址执行
中断构造 数据控制 7 直接映射 全相连 组相连

三、简答题

1 指令是计算机执行*种操作的命令, 也就是常说的机器指令。一台机器中所有机器指令的集合, 称这台计算机的指令系统。

2 答: 一次程序中断大致可分为五个阶段。中断请求〔1分〕 中断判优〔1分〕 中断响应〔1分〕 中断效劳〔1分〕 中断返回〔1分〕

四、应用题

1 解: 先通过主频求出时钟周期, 再求出机器周期和平均指令周期, 最后通过平均指令周期的倒数求出平均指令执行速度。计算如下:

时钟周期=1/8MHz=0.125×10⁻⁶=125ns 机器周期=125ns×2=250ns

平均指令周期=250ns×2.5=625ns

平均指令执行速度=1/625ns=1.6MIPS

当参数改变后：机器周期=125ns×4=500ns=0.5μs 平均指令周期=0.5μs×5=2.5μs

平均指令执行速度=1/2.5μs=0.4MIPS

结论：两个主频一样的机器，执行速度不一定一样。

2 [1] 在中断处理次序改为 D>A>C>B 后，每个中断源新的屏蔽字如表所示。〔5 分〕

中断源	屏蔽字			
	A	B	C	D
A	1	1	1	0
B	0	1	0	0
C	0	1	1	0
D	1	1	1	1

[2] 根据新的处理次序，CPU 执行程序的轨迹如下图〔5 分〕

3 解： ∵ A=+15=+0001111, B=+24=+0011000 ∴ [A]补 =0,0001111, [B]补 =0,0011000, [-B]补=1,1101000

则[A-B]补=[A]补+[-B]补=0,0001111+1,1101000=1,1101111

∴ [A-B]补=1,1101111 故 A-B=-0001001=-9

4 1)地址指令格式为〔2 分〕

2)〔2 分〕

2) 0~8191 8192~16383 16384~24575 24576~32767 32768~40959
40960~49151 49152~57343 57344~65535

3) 如果地址线 A13 与 CPU 断线，并搭接到高电平上，将会出现 A13 恒为“1”的情况。此时存储器只能寻址 A13=1 的地址空间，A13=0 的另一半地址空间将永远访问不到。假设对 A13=0 的地址空间进展访问，只能错误地访问到 A13=1 的对应空间中去。

计算机组成原理试题〔三〕

一. 选择题〔每题 1 分, 共 20 分〕

- 变址寻址方式中, 操作数的有效地址是_____。
A. 基址寄存器容加上形式地址〔位移量〕; B. 程序计数器容加上形式地址;
C. 变址寄存器容加上形式地址; D. 以上都不对。
- Pentium 微型计算机中乘除法部件位于_____ 中。
A. CPU B. 接口 C. 控制器 D. 专用芯片
- 没有外存储器的计算机初始引导程序可以放在_____。
A. RAM B. ROM C. RAM 和 ROM D. CPU
- 以下数中最小的数是_____。
A. $[101001]_2$ B. $[52]_8$ C. $[2B]_{16}$ D. $[44]_{10}$
- 在机器数_____ 中, 零的表示形式是唯一的。
A. 原码 B. 补码 C. 移码 D. 反码
- 在定点二进制运算器中, 减法运算一般通过_____ 来实现。
A. 原码运算的二进制减法器 B. 补码运算的二进制减法器
C. 补码运算的十进制加法器 D. 补码运算的二进制加法器
- 以下有关运算器的描述中_____ 是正确的。
A. 只作算术运算, 不作逻辑运算 B. 只作加法
C. 能暂时存放运算结果 D. 以上答案都不对
- *DRAM 芯片, 其存储容量为 $512K \times 8$ 位, 该芯片的地址线 and 数据线数目为_____。
A. 8, 512 B. 512, 8 C. 18, 8 D. 19, 8
- 相联存储器是按_____ 进展寻址的存储器。

- A. 地址指定方式 B. 堆栈存取方式
- C. 容指定方式 D. 地址指定与堆栈存取方式结合
10. 指令系统中采用不同寻址方式的目的主要是_____。
- A. 实现存储程序和程序控制 B. 缩短指令长度, 扩大寻址空间, 提高编程灵活性
- C. 可以直接访问外存 D. 提供扩展操作码的可能并降低指令译码难度
11. 堆栈寻址方式中, 设 A 为累加寄存器, SP 为堆栈指示器, Msp 为 SP 指示器的栈顶单元, 如果操作的动作是: $[A] \rightarrow Msp, [SP] - 1 \rightarrow SP$, 则出栈操作的动作作为:
- A. $[Msp] \rightarrow A, [SP] + 1 \rightarrow SP$ B. $[SP] + 1 \rightarrow SP, [Msp] \rightarrow A$
- C. $[SP] - 1 \rightarrow SP, [Msp] \rightarrow A$ D. $[Msp] \rightarrow A, [SP] - 1 \rightarrow SP$
12. 在 CPU 中跟踪指令后继地址的寄存器是_____。
- A. 主存地址寄存器 B. 程序计数器 C. 指令寄存器 D. 状态条件寄存器
13. 描述多媒体 CPU 根本概念中正确表述的句子是_____。
- A. 多媒体 CPU 是带有 MM*技术的处理器
- B. 多媒体 CPU 是非流水线构造
- C. MM*指令集是一种单指令流单数据流的串行处理指令
- D. 多媒体 CPU 一定是 CISC 机器
14. 描述 Futurebus+总线中根本概念正确的表述是_____。
- A. Futurebus+总线是一个高性能的同步总线标准
- B. 根本上是一个同步数据定时协议
- C. 它是一个与构造、处理器技术有关的开发标准
- D. 数据线的规模不能动态可变

15. 在_____的微型计算机系统中, 外设可以和主存储器单元统一编址, 因此可以不用 I/O 指令。
- A. 单总线 B. 双总线 C. 三总线 D. 多总线
16. 用于笔记本电脑的大容量存储器是_____。
- A. 软磁盘 B. 硬磁盘 C. 固态盘 D. 磁带
17. 具有自同步能力的记录方式_____。
- A. NRZ₀ B. NRZ₁ C. PM D. MFM
18. _____不是发生中断请求的条件。
- A. 一条指令执行完毕 B. 一次 I/O 操作完毕
- C. 机器部发生故障 D. 一次 DMA 操作完毕
19. 采用 DMA 方式传送数据时, 每传送一个数据就要用一个_____。
- A. 指令周期 B. 数据周期 C. 存储周期 D. 总线周期
20. 并行 I/O 标准接口 SCSI 中, 一块主适配器可以连接_____台具有 SCSI 接口的设备。
- A. 6 B. 7~15 C. 8 D. 10

二. 填空题〔每空 1 分, 共 20 分〕

1. 在计算机术语中, 将 A._____ 和 B._____ 和在一起称为 CPU, 而将 CPU 和 C._____ 合在一起称为主机。
2. 计算机软件一般分为两大类: 一类叫 A._____, 另一类叫 B._____. 操作系统属于 C._____ 类。
3. 主存储器容量通常以 MB 表示, 其中 M = A._____, B = B._____; 硬盘容量通常以 GB 表示, 其中 G = C._____。
4. CPU 能直接访问 A._____ 和 B._____, 但不能直接访问磁盘和光盘。

5. 指令字长度有 A.____、B.____、C.____ 三种形式。
6. 计算机系统中, 根据应用条件和硬件资源不同, 数据传输方式可采用 A.____ 传送、
B.____ 传送、C.____ 传送。
7. 通道是一个特殊功能的 A.____, 它有自己的 B.____ 专门负责数据输入输出的传输控制。
8. 并行 I/O 接口 A.____ 和串行 I/O 接口 B.____ 是目前两个最具有权威性的标准接口技术。

三. 简答题〔每题 5 分, 共 20 分〕

1. 一个较完善的指令系统应包括哪几类.
2. 什么是闪速存储器.它有哪些特点.
3. 比拟水平微指令与垂直微指令的优缺点.
4. CPU 响应中断应具备哪些条件.

四. 应用题〔每题 5 分, 共 20 分〕

1. : $*=0.1011, Y=-0.0101$, 求 $[*/2]_{补}, [*/4]_{补}, [-*]_{补}, [Y/2]_{补}, [Y/4]_{补}, [-Y]_{补}$.
2. 设机器字长为 16 位, 定点表示时, 尾数 15 位, 阶符 1 位.
 - (1) 定点原码整数表示时, 最大正数为多少. 最小负数为多少.
 - (2) 定点原码小数表示时, 最大正数为多少. 最小负数为多少.
3. $[*]_{补}+[y]_{补}=[*+y]_{补}$
求证: $-[y]_{补}=[-y]_{补}$
4. 有一个 $16K \times 16$ 的存储器, 由 $1K \times 4$ 位的 DRAM 芯片构成问:
 - 〔1〕 总共需要多少 DRAM 芯片"
 - 〔2〕 画出存储体的组成框图。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/227001126135006105>