

《数字电子技术基础》(第一套)

一、填空题：(每空 1 分，共 15 分)

1. 逻辑函数 $Y = \overline{AB} + C$ 的两种原则形式分别为 ()、()。
2. 将 2023 个“1”异或起来得到的成果是 ()。
3. 半导体存储器的构造重要包括三个部分，分别是 ()、()、()。
4. 8 位 D/A 转换器当输入数字量 10000000 为 5v。若只有最低位为高电平，则输出电压为 () v；当输入为 10001000，则输出电压为 () v。
5. 就逐次逼近型和双积分型两种 A/D 转换器而言，() 的抗干扰能力强，() 的转换速度快。
6. 由 555 定期器构成的三种电路中，() 和 () 是脉冲的整形电路。
7. 与 PAL 相比，GAL 器件有可编程的输出构造，它是通过对 () 进行编程设定其 () 的工作模式来实现的，并且由于采用了 () 的工艺构造，可以反复编程，使它的通用性很好，使用更为以便灵活。

二、根据规定作题：(共 15 分)

1. 将逻辑函数 $P=AB+AC$ 写成“与或非”体现式，并用“集电极开路与非门”来实现。
2. 图 1、2 中电路均由 CMOS 门电路构成，写出 P、Q 的体现式，并画出对应 A、B、C 的 P、Q 波形。

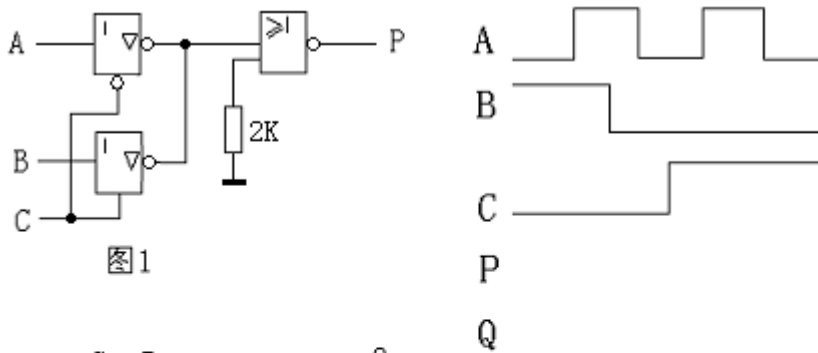


图1

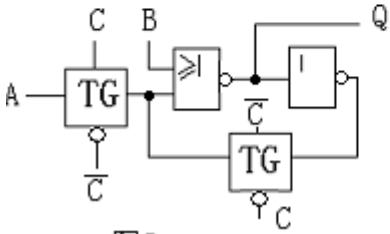


图2

三、分析图3所示电路：（10分）

- 1) 试写出8选1数据选择器的输出函数式；
- 2) 画出A₂、A₁、A₀从000~111持续变化时，Y的波形图；
- 3) 阐明电路的逻辑功能。

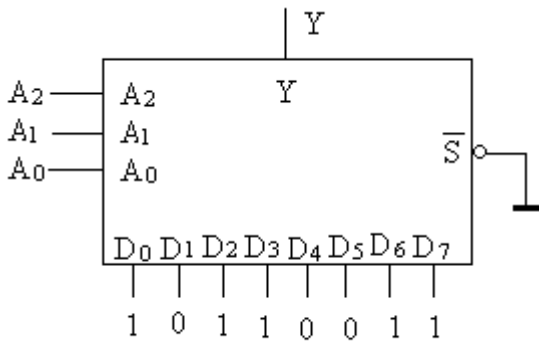


图3

四、设计“一位十进制数”的四舍五入电路（采用8421BCD码）。规定只设定一种输出，并画出用至少“与非门”实现的逻辑电路图。（15分）

五、已知电路及 CP、A 的波形如图 4(a) (b)所示，设触发器的初态均为“0”，试画出输出端 B 和 C 的波

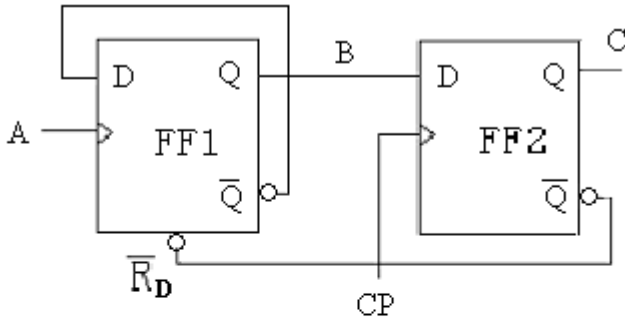


图4(a)

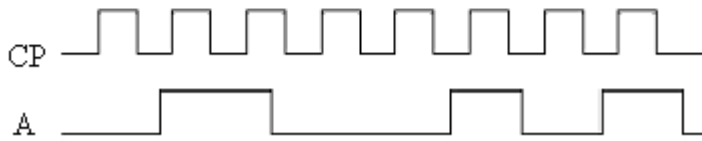


图4(b)

形。(8分)

B

C

六、用 T 触发器和异或门构成的某种电路如图 5(a)所示，在示波器上观测到波形如图 5(b)所示。试问该电路是怎样连接的？请在原图上画出对的的连接图，并标明 T 的取值。

(6分)

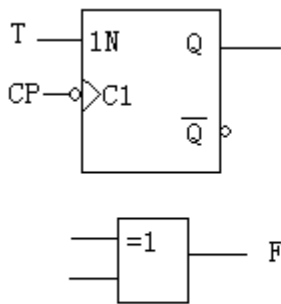


图5(a)

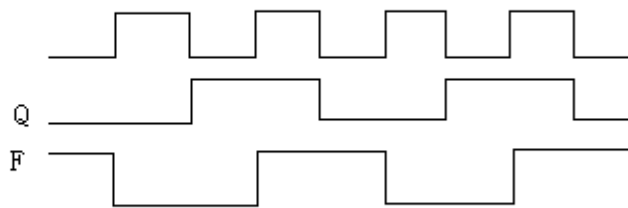


图5(b)

七、图 6 所示是 16*4 位 ROM 和同步十六进制加法计数器 74LS161 构成的脉冲分频电路。ROM 中的数据见表 1 所示。试画出在 CP 信号持续作用下的 D3、D2、D1、D0 输出的电压波形，并阐明它们和 CP 信号频率之比。(16分)

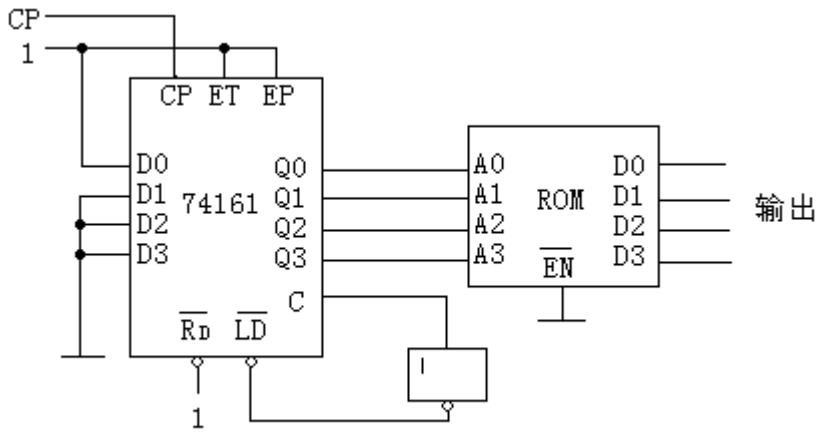


图 6

表 1:

地址输入				数据输出			
A3	A2	A1	A0	D3	D2	D1	D0
0	0	0	0	1	1	1	1
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	1	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	0
1	1	0	0	0	0	0	1
1	1	0	1	0	1	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	0	0	0



CP 波形如图所示:

八、综合分析图 7 所示电路，RAM 的 16 个地址单元中的数据在表中列出。规定：

- (1) 阐明 555 定时器构成什么电路？ (18 分)
- (2) 阐明 74LS160 构成多少进制计数器？
- (3) 阐明 RAM 在此处在什么工作状态，起什么作用？
- (4) 写出 D/A 转换器 CB7520 的输出体现式 (U_o 与 $d_9 \sim d_0$ 之间的关系)；
- (5) 画出输出电压 U_o 的波形图 (规定画一种完整的循环)。

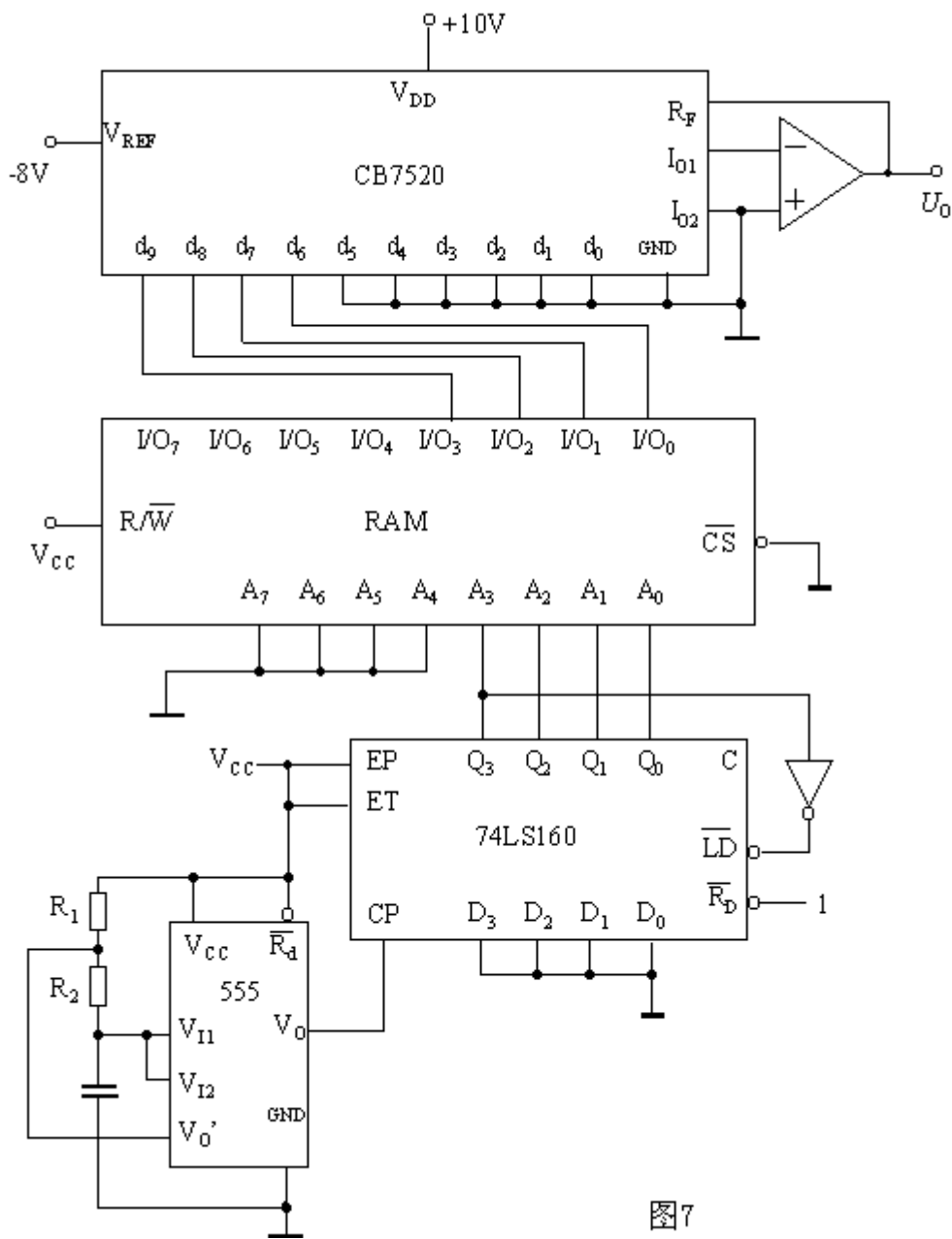


图7

中南大学信息学院

《数字电子计数基础》试题（第一套）参照答案

一、填空（每空1分，共15分）

1. $Y(ABC) = \sum m_i (i = 1, 2, 3, 5, 7), Y(ABC) = \prod M_i (i = 0, 4, 6)$

2. 0

3. 地址译码器、存储矩阵、输出缓冲器

4. 0.039、5.31

5. 双积分型、逐次逼近型

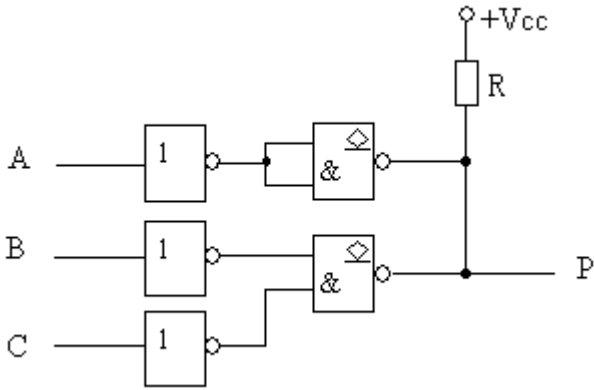
6. 施密特触发器、单稳态触发器

7. 构造控制字、输出逻辑宏单元、E²CMOS

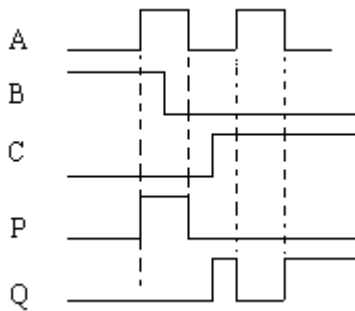
二、根据规定作题：（共 15 分）

1. $P = \overline{\overline{A + BC}} = \overline{\overline{A} \cdot \overline{BC}}$

OC 与非门实现如图：



2. $P = \overline{AC} + BC; \quad Q^{n+1} = \overline{\overline{A+B} \cdot C} + B + \overline{Q^n} \cdot \overline{C}$

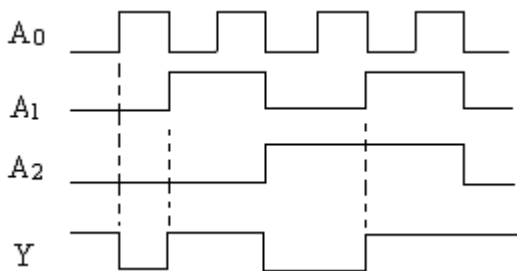


三、1)

$$Y = \sum_0^7 m_i D_i$$

$$= D_0 \overline{A_2} \overline{A_1} \overline{A_0} + D_1 \overline{A_2} \overline{A_1} A_0 + D_2 \overline{A_2} A_1 \overline{A_0} + D_3 \overline{A_2} A_1 A_0 + D_4 A_2 \overline{A_1} \overline{A_0} + D_5 A_2 \overline{A_1} A_0 + D_6 A_2 A_1 \overline{A_0} + D_7 A_2 A_1 A_0$$

2)

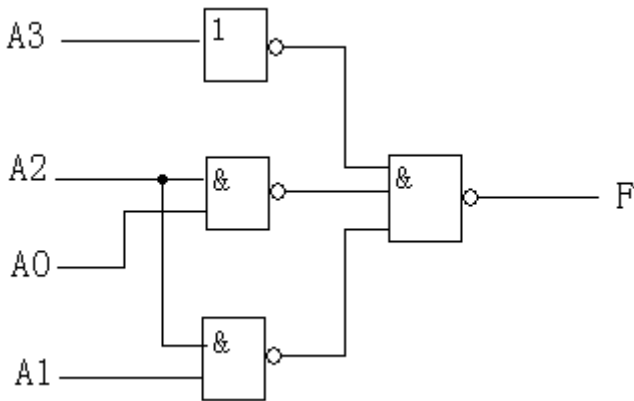


3) 该电路为序列脉冲发生器，当 A2、A1、A0 从 000~111 持续变化时，Y 端输出持续脉冲 10110011。

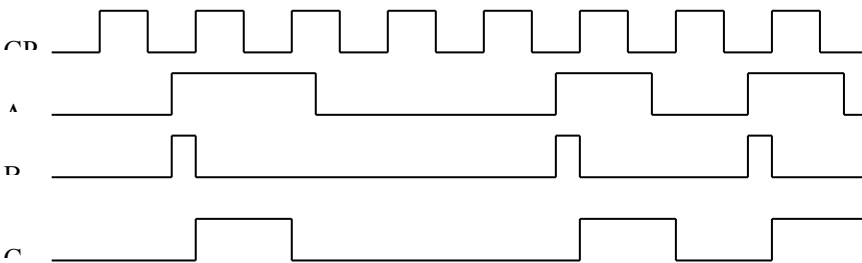
四、设用 A3A2A1A0 表达该数，输出 F。列出真值表（6 分）

A3	A2	A1	A0	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

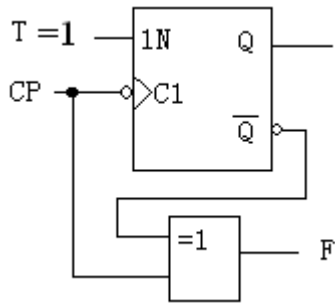
$$F = \sum m(5,6,7,8,9) = \overline{A_3} \cdot \overline{A_2} \cdot A_0 \cdot \overline{A_2} \cdot A_1$$



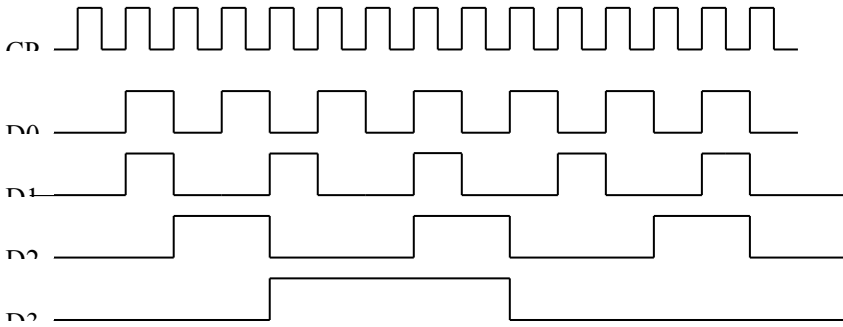
五、



六、T=1， 连线 $F = CP \oplus \overline{Q}$ 如图：



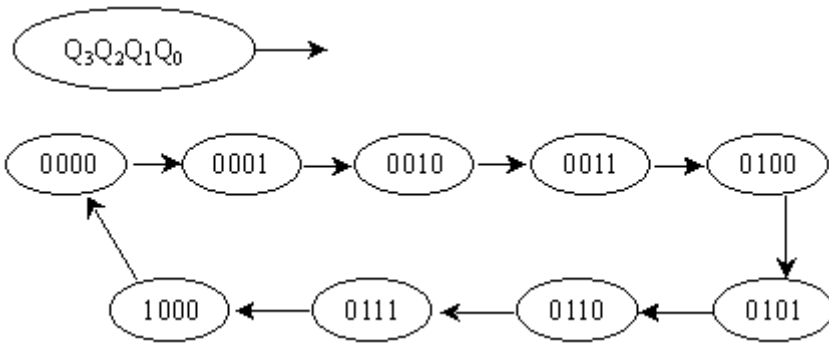
七、 D3、D2、D1、D0 频率比分别是 1/15、3/15、5/15、7/15;



八、

(1) 555 定时器构成多谐振荡器，发出矩形波；

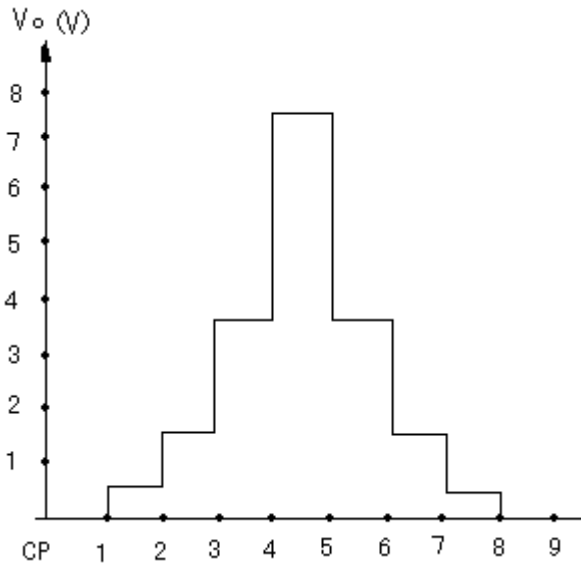
(2) 74LS160 构成九进制计数器，状态转换图如下：



(3) RAM 处在读出状态，将 0000B~1000B 单元的内容循环读出；

(4)
$$V_o = -\frac{V_{REF}}{2^n} D_N = \frac{8}{2^{10}} (d_9 2^9 + d_8 2^8 + d_7 2^7 + d_6 2^6)$$

(5) 输出电压波形图如下：



《数字电子技术基础》(第二套)

一、填空题：(每空 1 分，共 16 分)

1. 逻辑函数有四种表达措施，它们分别是 ()、()、() 和 ()。
2. 将 2023 个“1”异或起来得到的成果是 ()。
3. 目前我们所学的双极型集成电路和单极型集成电路的经典电路分别是 () 电路和 () 电路。
4. 施密特触发器有 () 个稳定状态，多谐振荡器有 () 个稳定状态。
5. 已知 Intel2114 是 1K*4 位的 RAM 集成电路芯片，它有地址线 () 条，数据线 () 条。
6. 已知被转换的信号的上限截止频率为 10kHz，则 A/D 转换器的采样频率应高于 () kHz；完毕一次转换所用的时间应不不小于 ()。
7. GAL 器件的全称是 ()，与 PAL 相比，它的输出电路是通过编程设定其 () 的工作模式来实现的，并且由于采用了 () 的工艺构造，可以反复编程，使用更为以便灵活。

二、根据规定作题：(共 16 分)

1. 试画出用反相器和集电极开路与非门实现逻辑函数 $Y = AB + \overline{BC}$ 。
2. 图 1、2 中电路由 TTL 门电路构成，图 3 由 CMOS 门电路构成，试分别写出 F1、F2、F3 的体现式。

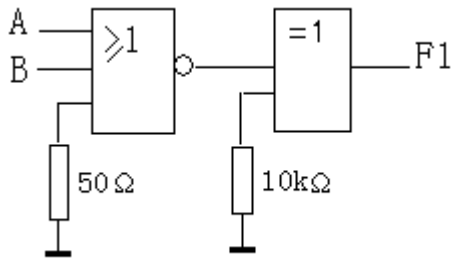


图1

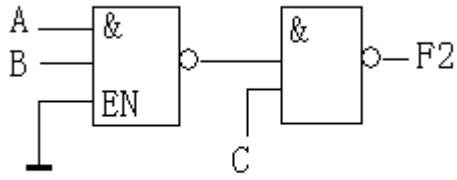


图2

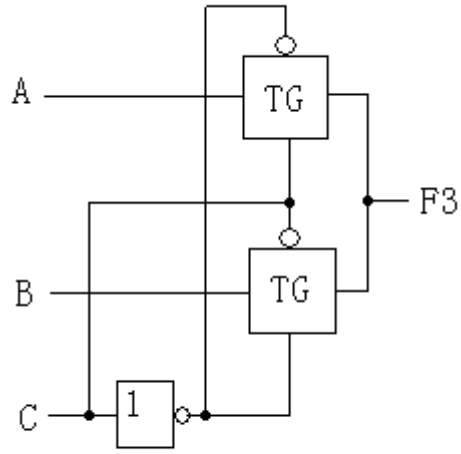


图3

三、已知电路及输入波形如图4所示，其中FF1是D锁存器，FF2是维持-阻塞D触发器，根据CP和D的输入波形画出Q1和Q2的输出波形。设触发器的初始状态均为0。（8分）

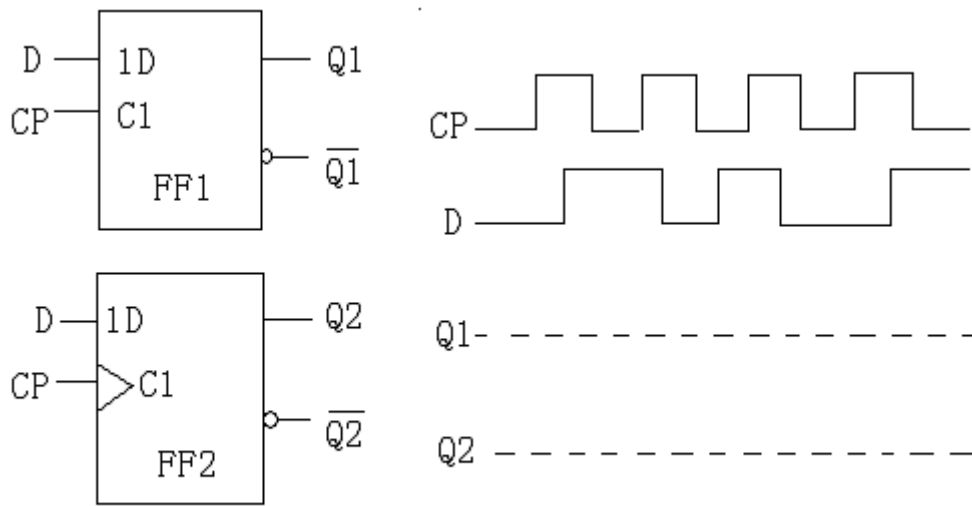


图4

四、分析图5所示电路，写出Z1、Z2的逻辑体现式，列出真值表，阐明电路的逻辑功能。（10分）

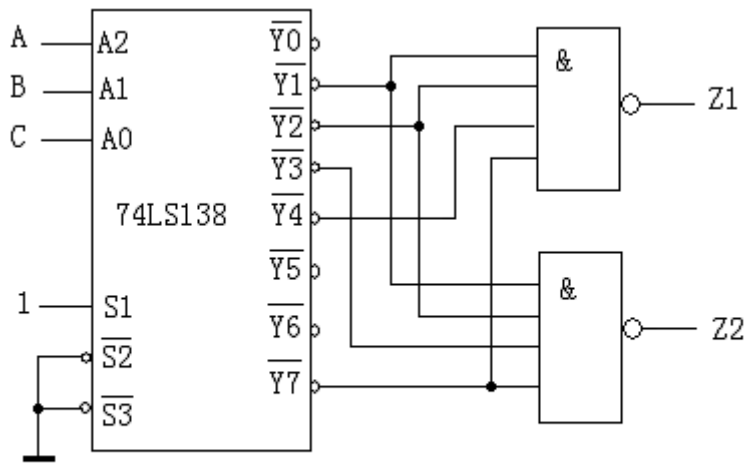


图 5

五、设计一位 8421BCD 码的判奇电路，当输入码含奇数个“1”时，输出为 1，否则为 0。规定使用两种措施实现：（20 分）

(1) 用至少与非门实现，画出逻辑电路图；

(2) 用一片 8 选 1 数据选择器 74LS151 加若干门电路实现，画出电路图。

六、电路如图 6 所示，其中 $R_A=R_B=10k\Omega$, $C=0.1\mu f$ ，试问：

1. 在 U_k 为高电平期间，由 555 定期器构成的是什么电路，其输出 U_0 的频率 $f_0=?$

2. 分析由 JK 触发器 FF1、FF2、FF3 构成的计数器电路，规定：写出驱动方程和状态方程，画出完整的状态转换图；

3. 设 Q_3 、 Q_2 、 Q_1 的初态为 000， U_k 所加正脉冲的宽度为 $T_w=5/f_0$ ，脉冲过后 Q_3 、 Q_2 、 Q_1 将保持在哪个状态？（共 15 分）

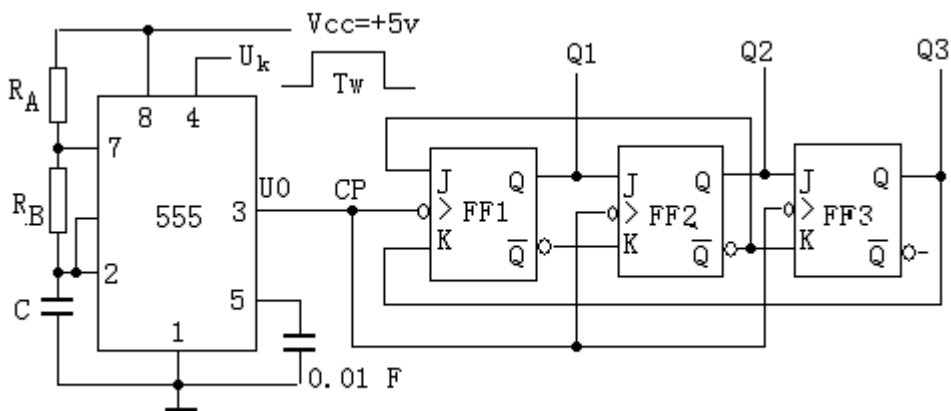


图 6

七、集成 4 位二进制加法计数器 74161 的连接图如图 7 所示， \overline{LD} 是预置控制端； D_0 、 D_1 、 D_2 、 D_3 是预置数据输入端； Q_3 、 Q_2 、 Q_1 、 Q_0 是触发器的输出端， Q_0 是最低位， Q_3 是最高位； \overline{LD}

为低电平时电路开始置数， \overline{LD} 为高电平时电路计数。试分析电路的功能。规定：

- (1) 列出状态转换表； (15 分)
- (2) 检查自启动能力；
- (3) 阐明计数模值。

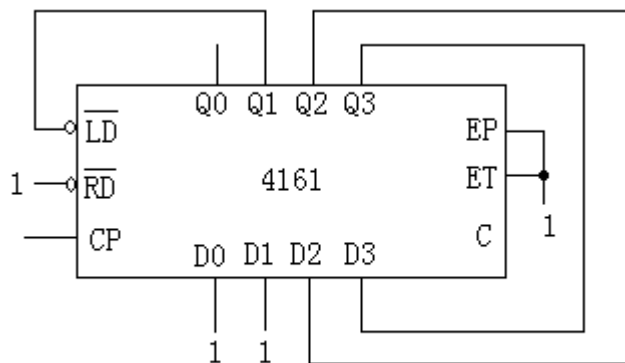


图 7

中南大学信息学院《数字电子计数基础》

试题（第二套）参考答案

一、填空（每空 1 分，共 16 分）

1. 真值表、逻辑图、逻辑体现式、卡诺图；
2. 0；
3. TTL 、 CMOS ；
4. 两、0 ；
5. 10 、 4 ；
6. 20 、 50 μ S；
7. 通用阵列逻辑、输出逻辑宏单元、E²CMOS；

二、根据规定作题：（共 16 分）

$$1. Y = \overline{\overline{AB} + \overline{BC}} = \overline{\overline{AB}} \cdot \overline{\overline{BC}}$$

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/307201023051006122>