

一、课程设计目标

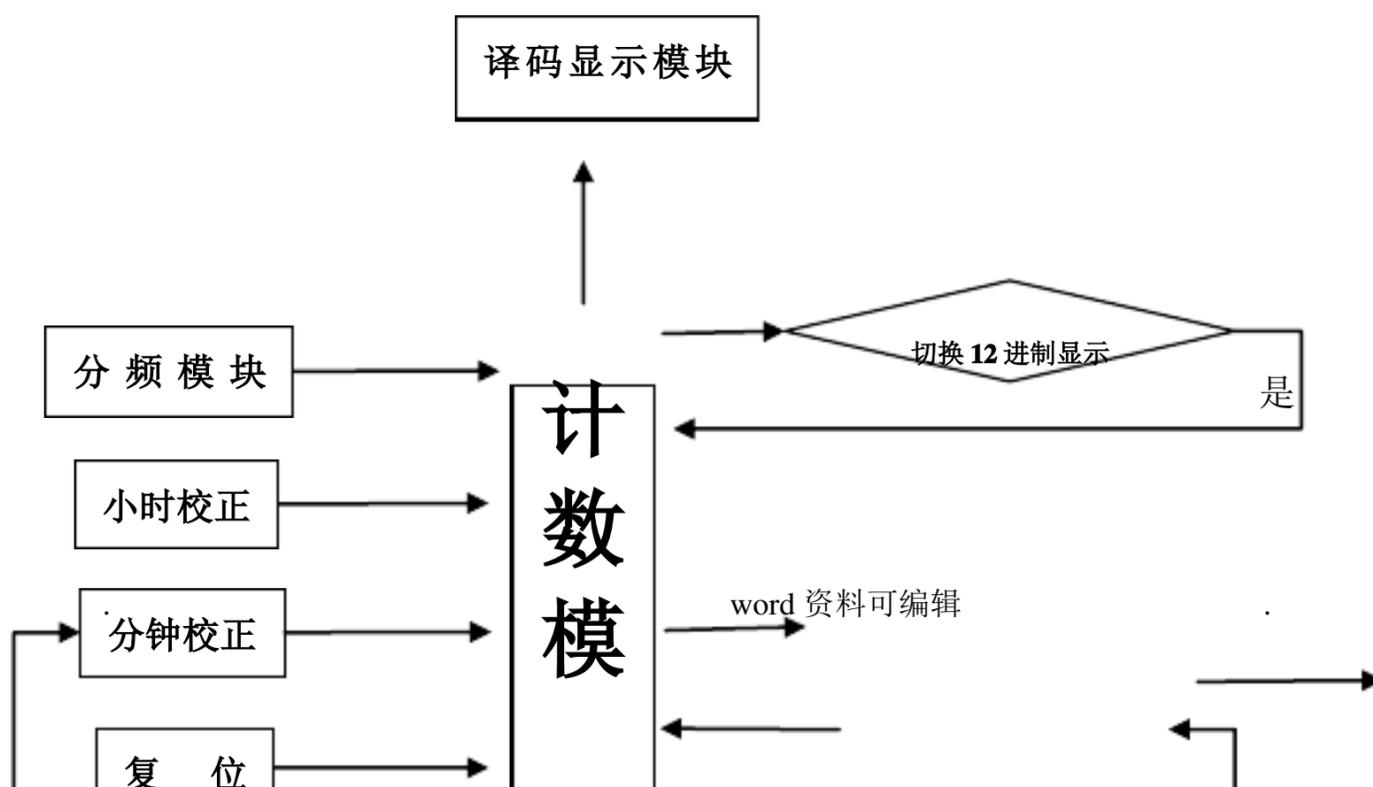
1. 熟悉并掌握 verilog 硬件描述语言
2. 熟悉 quartus 软件开发环境
3. 学会设计大中规模的数字电路，并领会其中的设计思想

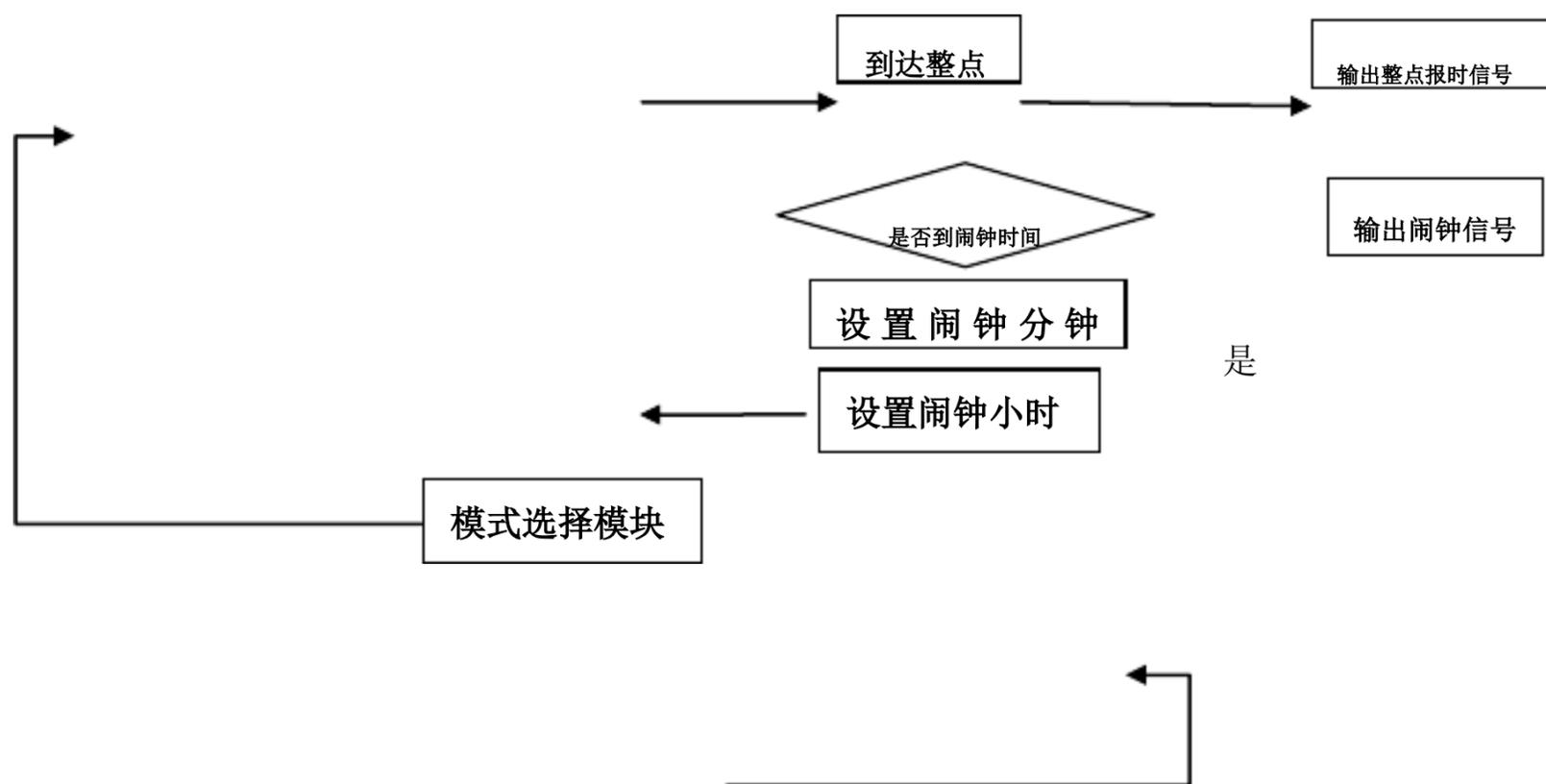
二、课程设计实现的功能

- (1) 设计一个数码管实时显示时、分、秒的数字时钟（24 小时显示模式）；
- (2) 可以调节小时，分钟。
- (3) 能够进行 24 小时和 12 小时的显示切换。
- (4) 可以设置任意时刻闹钟，并且有开关闹钟功能。
- (5) 有整点报时功能，几点钟 LED 灯闪亮几下。
- (6) 有复位按键，复位后时间从零开始计时，但闹钟设置时间不变。

三、设计原理：

1、总原理框图：





2、各个子模块设计：

(1)、分频模块：

分频模块的作用主要是要获得各种频率的时钟信号。输入信号为 50MHZ 的信号，要想获得 1HZ 的信号作为秒脉冲计时，则要对 50MHZ 信号分频。通过计数的方式，当计数从 0 开始到 24 999999 时，1HZ 信号取反一次，计数又从 0 开始，如此循环，就可以得到 1HZ 脉冲信号。对于其他信号也是如此，只是计数值不一样，得到的分频信号不同。

部分代码如下：

```
always@(posedge _50MHZ or negedge nCR)begin  
  
if(~nCR)  
  
begin  
  
Q1<=32'd0;  
  
end  
  
else if(Q1>=32'd24999999)  
  
begin  
  
Q1<=32'd0;  
  
_1HZ=~_1HZ;  
  
end  
  
else begin  
  
Q1<=Q1+1'd1;  
  
end
```

(2)、计数模块：

秒计数：在 1HZ 脉冲下进行秒计时，当计时达到 59 秒后，在下一个脉冲来临变 0，并发出一个脉冲信号，可供下面分钟计数作为输入脉冲信号计时。

分钟计数：在输入脉冲下，分钟开始计时，当计时达到 59 后，在下一个脉冲来临变 0，并发出一个脉冲，供小时计数的输入脉冲新号。

小时计数：脉冲信号来临时，计数加 1，达到 23 后在下一个脉冲的作用下清零，

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/357031053161006065>