

半导体物理



电控学院
谷文萍
2010·12



半导体物理

- 1 半导体中的电子状态
- 2 半导体中杂质和缺陷能级
- 3 半导体中载流子的统计分布
- 4 半导体的导电性
- 5 非平衡载流子
- 6 金属和半导体的接触
- 7 半导体表面与MIS结构



第二章 半导体中杂质和缺陷能级

教学内容:

- **2. 1 硅、锗晶体中的杂质能级**
- **2. 2 III—V族化合物中的杂质能级**
- **2. 4 缺陷、位错能级**



本章要点

- 几个重要的名词：间隙式/替位式杂质，施主/受主杂质，施主/受主电离，中性态（束缚态）/离子化态，杂质电离能，施主/受主能级，N/P型半导体，浅/深能级杂质，杂质补偿，有效杂质浓度，点缺陷，位错
- 施主/受主杂质电离过程，主要是其电离过程能带图



实际晶体与理想晶体的差别

- 原子不是静止的，而是在平衡位置附近做热振动
- 实际半导体并不纯净，或多或少含有若干杂质（非本体材料以外的其他化学元素）
- 半导体的晶格中存在着各种各样的缺陷
 - 点缺陷（空位、间隙原子）
 - 线缺陷（位错）
 - 面缺陷（层错，多晶体中的晶粒间界）



与理想情况的偏离的影响

- 极微量的杂质和缺陷，会对半导体材料的物理性质和化学性质产生决定性的影响，同时也严重影响半导体器件的质量。
 - 1个B原子/ 10^5 个Si原子
 - 在室温下电导率提高 10^3 倍
 - Si单晶位错密度要求低于 10^3 cm^{-2}



半导体中杂质和缺陷的作用

- 理论分析认为，杂质和缺陷的存在使得原本周期性排列的原子所产生的周期性势场受到破坏，并在禁带中引入了能级，允许电子在禁带中存在，从而使半导体的性质发生改变。



2.1 硅、锗晶体中的杂质能级

半导体中的杂质来源:

- 原材料纯度不够
- 单晶制备和器件制造过程中的玷污
- 为了控制半导体的性质而人为引入的杂质
- 本章主要讨论人为引入的杂质



2.1 硅、锗晶体中的杂质能级

例：如图2-1所示为一晶格常数为 a 的Si晶胞，求：

(a) Si原子半径

(b) 晶胞中所有Si原子占据晶胞的百分比

解：(a)
$$r = \frac{1}{2} \left(\frac{1}{4} \times \sqrt{3}a \right) = \frac{\sqrt{3}}{8} a$$

(b)
$$\frac{8 \times \frac{4}{3} \pi r^3}{a^3} = \frac{\sqrt{3}}{16} \pi = 0.34$$

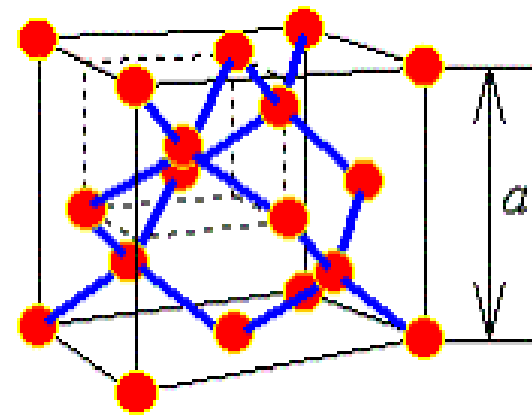


图 2-1



2.1.1 间隙式杂质、替位式杂质

- **Si、Ge**都具有金刚石结构，一个晶胞内含有**8**个原子。
- 由于晶胞内空间对角线上相距**1/4**对角线长度的两个原子为最近邻原子，恰好就是共价半径的**2**倍，因此晶胞内**8**个原子的体积与立方晶胞体积之比为**34%**，即晶胞内存在着**66%**的空隙。
- 所以杂质进入半导体后可以存在于晶格原子之间的间隙位置上，称为间隙式杂质，也可以取代晶格原子而位于格点上，称为替（代）位式杂质。



间隙式杂质、替位式杂质

- 杂质原子位于晶格原子间的间隙位置，该杂质称为**间隙式杂质**。
 - 间隙式杂质原子一般比较小，如**Si**、**Ge**、**GaAs**材料中的离子锂（**0.068nm**）。
- 杂质原子取代晶格原子而位于晶格点处，该杂质称为**替位式杂质**。
 - 替位式杂质原子的大小和价电子壳层结构要求与被取代的晶格原子相近。如**III**、**V**族元素在**Si**、**Ge**晶体中都为替位式杂质。



间隙式杂质、替位式杂质

- 单位体积中的杂质原子数称为杂质浓度，杂质浓度的单位为 $1/\text{cm}^3$

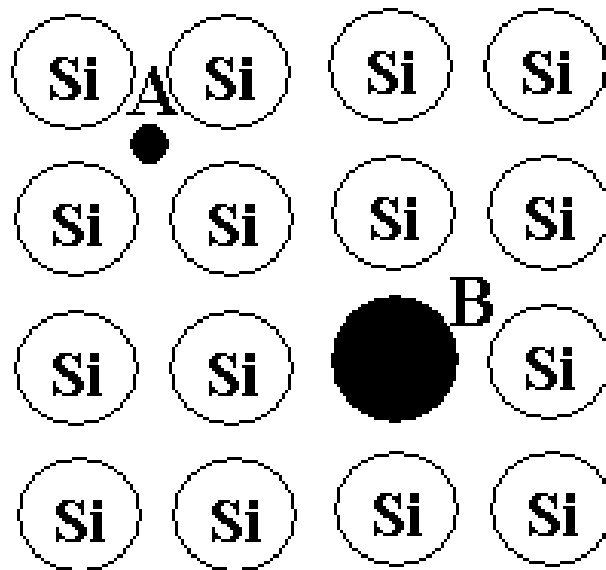


图2-2



练习

- 1、实际情况下 k 空间的等能面与理想情况下的等能面分别是如何形状的？它们之间有差别的原因？
- 2、实际情况的半导体材料与理想的半导体材料有何不同？
- 3、杂质和缺陷是如何影响半导体的特性的？



2.1.2 施主杂质

以Si中掺入V族元素磷(P)为例：

- 当有五个价电子的磷原子取代Si原子而位于格点上时，磷原子五个价电子中的四个与周围的四个Si原子组成四个共价键，还多出一个价电子，磷原子所在处也多余一个称为正电中心磷离子的正电荷。
- 多余的这个电子被正电中心磷离子所吸引只能在其周围运动，不过这种吸引要远弱于共价键的束缚，只需很小的能量就可以使其挣脱束缚，形成能在整个晶体中“自由”运动的导电电子。
- 而正电中心磷离子被晶格所束缚，不能运动。



- 由于以磷为代表的V族元素在Si中能够施放导电电子，称V族元素为施主杂质或n型杂质。
- 电子脱离施主杂质的束缚成为导电电子的过程称为施主电离，所需要的能量 ΔE_D 称为施主杂质电离能。 ΔE_D 的大小与半导体材料和杂质种类有关，但远小于Si和Ge的禁带宽度。
- 施主杂质未电离时是中性的，称为束缚态或中性态，电离后称为施主离化态。
- Si中掺入施主杂质后，通过杂质电离增加了导电电子数量从而增强了半导体的导电能力。



- 把主要依靠电子导电的半导体称为n型半导体。n型半导体中电子称为多数载流子，简称多子；而空穴称为少数载流子，简称少子。

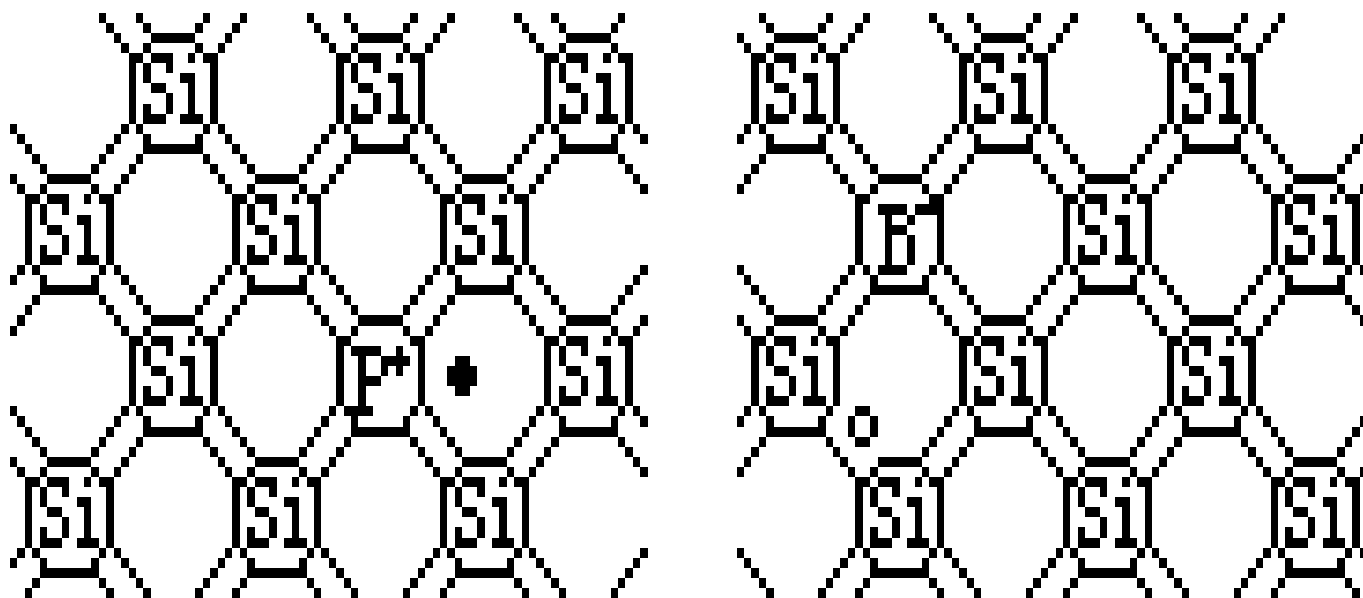


图2-3 Si中的V族杂质和III族杂质



2.1.3 受主杂质

以Si中掺入III族元素硼(B)为例:

- 硼只有三个价电子，为与周围四个Si原子形成四个共价键，必须从附近的Si原子共价键中夺取一个电子，这样硼原子就多出一个电子，形成负电中心硼离子，同时在Si的共价键中产生了一个空穴。
- 这个被负电中心硼离子依靠静电引力束缚的空穴还不是自由的，不能参加导电，但这种束缚作用同样很弱，很小的能量 ΔE_A 就使其成为可以“自由”运动的导电空穴。
- 而负电中心硼离子被晶格所束缚，不能运动。



- 由于以硼原子为代表的Ⅲ族元素在Si、Ge中能够接受电子而产生导电空穴，称Ⅲ族元素为受主杂质或p型杂质。
- 空穴挣脱受主杂质束缚的过程称为受主电离，而所需要的能量 ΔE_A 称为受主杂质电离能。
- 不同半导体和不同受主杂质其 ΔE_A 也不相同，但 ΔE_A 通常远小于Si和Ge禁带宽度。
- 受主杂质未电离时是中性的，称为束缚态或中性态，电离后成为负电中心，称为受主离化态。
- Si中掺入受主杂质后，受主电离增加了导电空穴，增强了半导体导电能力，把主要依靠空穴导电的半导体称作p型半导体。p型半导体中空穴是多子，电子是少子。



表 III、V 族杂质在硅、锗晶体中的电离能(eV)

晶体	V 族杂质电离能 ΔE_D			III 族杂质电离能 ΔE_A			
	P	As	Sb	B	Al	Ga	In
Si	0.044	0.049	0.039	0.045	0.057	0.065	0.16
Ge	0.0126	0.0127	0.0096	0.01	0.01	0.011	0.011

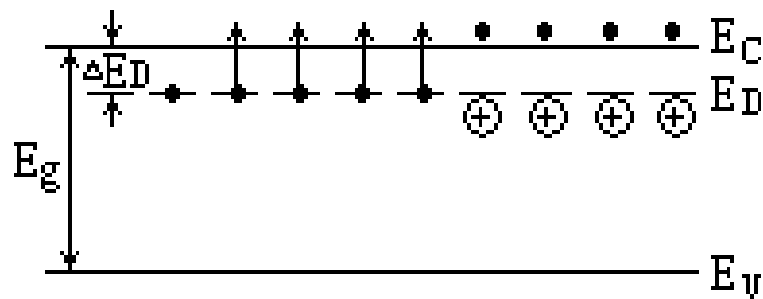


施主能级和受主能级

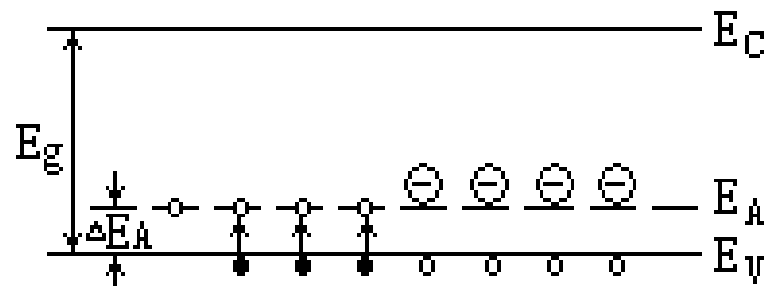
- 掺入施主杂质的半导体，施主能级 E_D 上的电子获得能量 ΔE_D 后由束缚态跃迁到导带成为导电电子，因此施主能级 E_D 位于比导带底 E_c 低 ΔE_D 的禁带中，且 $\Delta E_D \ll E_g$ 。
- 空穴由于带正电，能带图中能量自上向下是增大的。
- 对于掺入III族元素的半导体，被受主杂质束缚的空穴能量状态(称为受主能级 E_A)位于比价带顶 E_v 低 ΔE_A 的禁带中， $\Delta E_A \ll E_g$ ，当受主能级上的空穴得到能量 ΔE_A 后，就从受主的束缚态跃迁到价带成为导电空穴。



下图是用能带图表示的施主杂质和受主杂质的电离过程



(a) 施主能级和施主电离



(b) 受主能级和受主电离

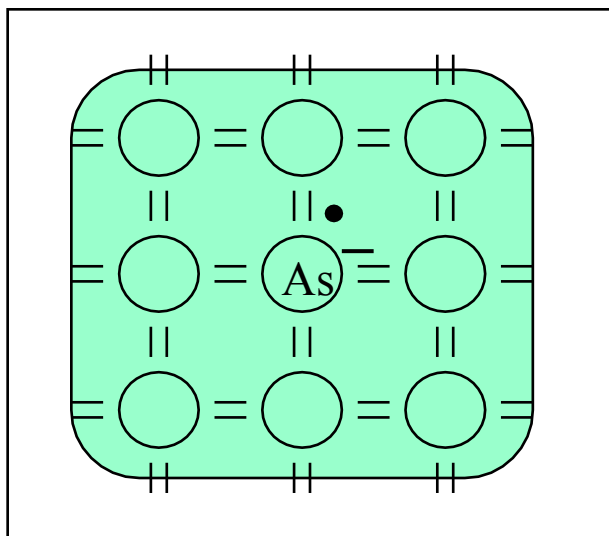
图2-4 杂质能级和杂质电离

III、V族杂质在硅和锗中的 ΔE_A 、 ΔE_D 都很小，即施主能级 E_D 距导带底 E_C 很近，受主能级 E_A 距价带顶 E_V 很近，这样的杂质能级称为浅能级，相应的杂质就称为浅能级杂质。

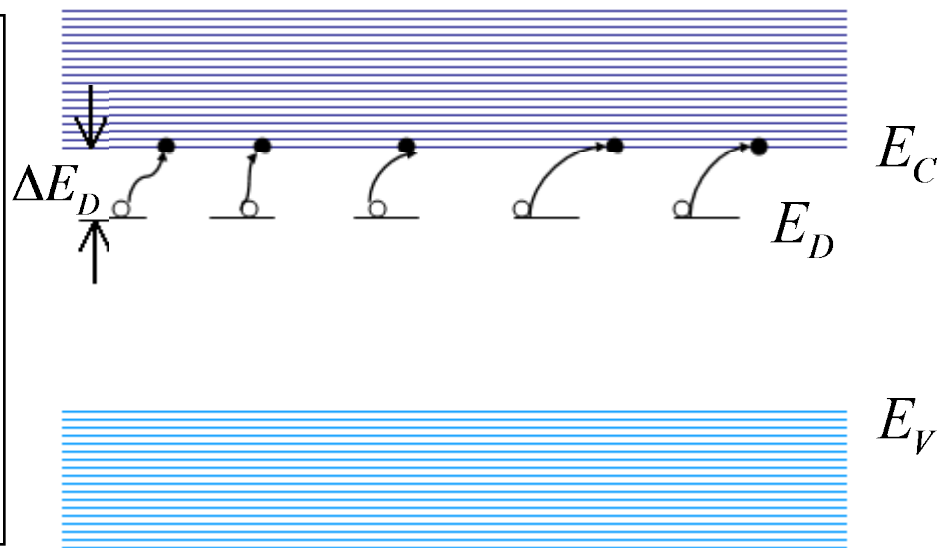


半导体的掺杂

施主：掺入在半导体中的杂质原子，能够向半导体中提供导电的电子，并成为带正电的离子。如Si中的P 和As



N型半导体

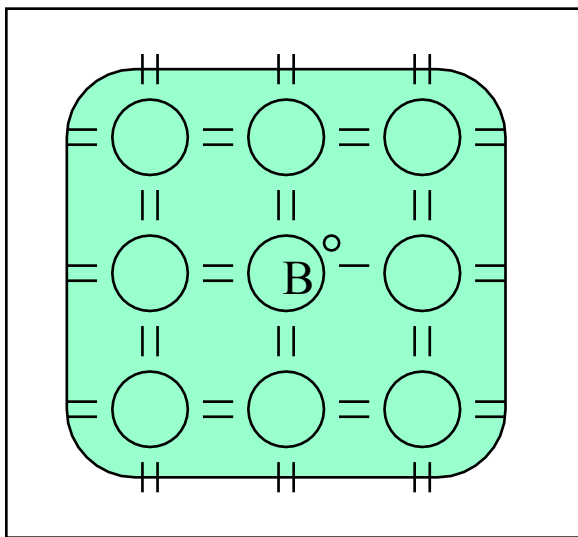


施主能级

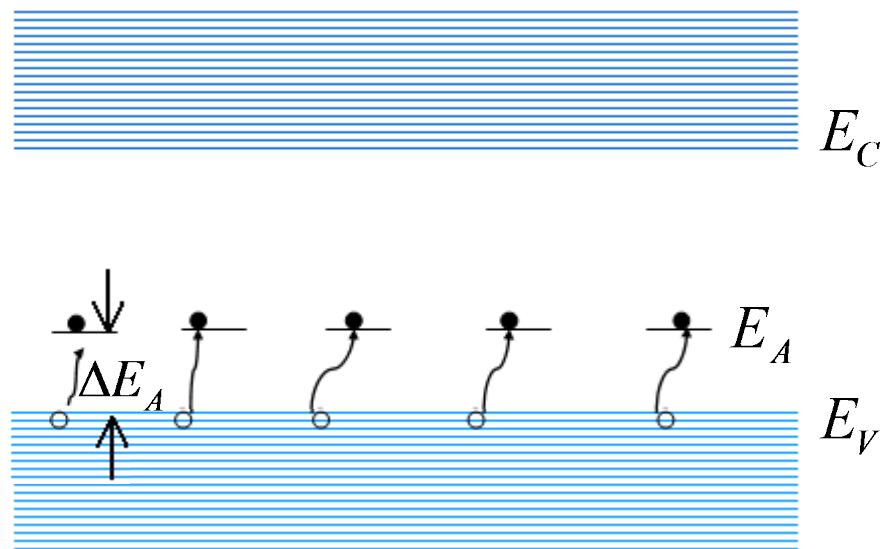


半导体的掺杂

受主：掺入在半导体中的杂质原子，能够向半导体中提供导电的空穴，并成为带负电的离子。如Si中的B



P型半导体



受主能级



- 如果Si、Ge中的III、V族杂质浓度不太高，在包括室温的相当宽的温度范围内，杂质几乎全部离化。
- 通常情况下半导体中杂质浓度不是特别高，半导体中杂质分布很稀疏，因此不必考虑杂质原子间的相互作用，被杂质原子束缚的电子(空穴)就像单个原子中的电子一样，处在互相分离、能量相等的杂质能级上而不形成杂质能带。
- 当杂质浓度很高(称为重掺杂)时，杂质能级才会交叠，形成杂质能带。



以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/775312313330012004>