

(19) 中华人民共和国国家知识产权局



(12) 发明专利说明书

(10) 申请公布号 CN 103378161 A

(43) 申请公布日 2013.10.30

(21) 申请号 CN201310149427.3

(22) 申请日 2013.04.26

(71) 申请人 三星电子株式会社;浦项工科大学校产学协力团

地址 韩国京畿道

(72) 发明人 金洞院 金大万 丁润夏 朴修永 朴赞训 白禄贤 李尚贤

(74) 专利代理机构 北京市柳沈律师事务所

代理人 弋桂芬

(51) Int. CI

H01L29/78

H01L29/10

H01L21/336

权利要求说明书 说明书 幅图

(54) 发明名称

场效应晶体管以及制造该场效应晶
体管的方法

(57) 摘要

本发明提供一种场效应晶体管以及
制造该场效应晶体管的方法。该场效应晶
体管包括漏极区、源极区和沟道区。该场
效应晶体管还可以包括在沟道区的至少一
部分上或围绕沟道区的至少一部分的栅电

极、以及在沟道区与栅电极之间的栅电介质层。沟道区的与源极区邻近的部分具有比沟道区的与漏极区邻近的另一部分小的截面面积。

法律状态

法律状态公告日

法律状态信息

法律状态

权利要求说明书

- 1.一种场效应晶体管,包括:
漏极区和源极区;
沟道区,连接所述漏极区与所述源极区;
栅电极,在所述沟道区的至少一部分上;和
栅电介质层,在所述沟道区与所述栅电极之间,
其中所述沟道区的与所述源极区连接的第一部分具有比所述沟道区的与所述漏极区连接的第二部分小的截面面积。
- 2.如权利要求 1 所述的场效应晶体管,其中所述沟道区具有从所述漏极区到所述源极区连续减小的截面面积。
- 3.如权利要求 1 所述的场效应晶体管,其中所述第一部分的直径为所述第二部分的直径的 20% 至 40% 。
- 4.如权利要求 1 所述的场效应晶体管,其中所述第一部分具有 3nm 至 5nm 的直径,并且所述第二部分具有 12nm 至 20nm 的直径。
- 5.如权利要求 1 所述的场效应晶体管,其中所述栅电极围绕所述沟道区并且所述沟道区贯穿所述栅电极。
- 6.如权利要求 1 所述的场效应晶体管,其中所述沟道区具有圆形或椭圆形的截面。
- 7.如权利要求 1 所述的场效应晶体管,还包括在所述沟道区下面的基板,
其中所述漏极区和所述源极区在基本上平行于所述基板的上表面的方向上彼此间隔开。
- 8.如权利要求 7 所述的场效应晶体管,其中所述栅电极在所述基板和所述沟道区之间延伸。
- 9.如权利要求 1 所述的场效应晶体管,还包括在所述沟道区下面的基板,
其中所述漏极区和所述源极区在基本上垂直于所述基板的上表面的方向上彼此间隔开。
- 10.如权利要求 9 所述的场效应晶体管,其中所述源极区设置在所述基板的上部中。
- 11.如权利要求 1 所述的场效应晶体管,其中所述沟道区包括多个沟道区。

12.一种制造场效应晶体管的方法,包括:

在基板上形成漏极区、源极区和沟道区;以及

在所述沟道区上顺序地形成栅电介质层和栅电极,

其中所述沟道区形成为具有从所述漏极区到所述源极区连续减小的截面面积。

13.如权利要求 12 所述的方法,其中所述漏极区、所述源极区和所述沟道区的形成包括:

在所述基板上顺序地形成牺牲层和有源层;

图案化所述有源层和所述牺牲层以形成凹陷区;以及

去除所述牺牲层的通过所述凹陷区暴露的部分。

14.如权利要求 13 所述的方法,还包括:

对所述图案化的有源层执行表面处理。

15.如权利要求 12 所述的方法,其中形成所述漏极区、所述源极区和所述沟道区包括:

在所述基板的上部中形成源极区;

在所述基板上形成绝缘层,暴露所述源极区的接触孔被限定在该绝缘层中;

在所述接触孔的侧壁上形成间隔物;

在提供有所述间隔物的所述接触孔中形成沟道区;以及

在所述沟道区上形成漏极区。

16.一种场效应晶体管,包括:

源极区;

漏极区;以及

沟道区,在所述源极区与所述漏极区之间延伸,其中所述沟道区的与所述源极区邻近的第一部分和所述沟道区的与所述漏极区邻近的第二部分具有不同的截面面积。

17.如权利要求 16 所述的晶体管,其中所述沟道区为纳米结构,其中所述沟道区的与所述源极区邻近的所述第一部分的截面面积小于所述沟道区的与所述漏极区邻近的所述第二部分的截面面积。

18.如权利要求 17 所述的晶体管,其中所述沟道区的所述第一和第二部分分别直接接触所述源极区和所述漏极区。

19.如权利要求 16 所述的晶体管,其中所述沟道区的宽度在所述漏极区与所述源极区

之间连续地减小。

20.如权利要求 19 所述的晶体管,其中所述沟道区的宽度在所述漏极区与所述源极区之间单调地减小。

说明书

<p>技术领域

本发明构思的示例实施方式涉及场效应晶体管以及制造该场效应晶体管的方法,具体地,涉及具有纳米级沟道区的场效应晶体管以及制造该场效应晶体管的方法。

背景技术

用于数字电路的 CMOS 装置的性能可以取决于沟道开关速度和/或通过栅电极的沟道可控性。对于模拟电路,电流能够因栅电压的相对小的变化而改变。随着二维晶体管的图案尺寸减小,在源极区和漏极区之间的电场强度会显著增大,热载流子效应会增强,和/或来自源极区和漏极区的耗尽区会彼此交叠。由于耗尽区的交叠,会难以利用来自栅电极的电场来控制沟道区的开关。此外,源极区和漏极区周围的耗尽区相对于整个沟道区的耗尽区的尺寸比率会增大。在耗尽区的所述比率相对增大的情况下,沟道长度会减小并且阈值电压会改变。

发明内容

本发明构思的示例实施方式提供一种晶体管,该晶体管具有不均一的截面面积的沟道区。沟道区可以像一维纳米线一样地成形,因此,晶体管能够在电导和电容性能上表现出减小的波动。此外,由于能够改善热载流子效应,所以从该晶体管能够实现稳定的操作性能以及操作性能的改善。

本发明构思的其它示例实施方式提供具有被抑制的热载流子效应和改善或优化的漏电流的晶体管。

根据本发明构思的一些示例实施方式,一种场效应晶体管包括源极区、漏极区、以及在源极区与漏极区之间延伸的沟道区。沟道区的与源极区邻近的第一部分和沟道

区的与漏极区邻近的第二部分具有不同的截面面积。

在示例实施方式中,沟道区可以为具有小于约 100nm、小于约 50nm、或者小于约 20nm 的尺寸的纳米结构。

在示例实施方式中,沟道区的与源极区邻近的第一部分的截面面积可以小于沟道区的与漏极区邻近的第二部分的截面面积。

在示例实施方式中,沟道区的该第一和第二部分可以分别直接接触源极区和漏极区,使得所述截面面积限定沟道区与源极区和漏极区之间的各接触面积。

在示例实施方式中,沟道区的宽度可以在漏极区与源极区之间连续地减小。

在示例实施方式中,沟道区的宽度可以在漏极区与源极区之间单调地减小。

在示例实施方式中,沟道区可以为碳纳米管。

在示例实施方式中,沟道区可以在平行于基板的上表面的方向上延伸,其中该基板的上表面上包括源极区和漏极区。

在示例实施方式中,沟道区可以在垂直于基板的上表面的方向上延伸,该基板的上表面上包括源极区和漏极区中的至少一个。

在示例实施方式中,沟道区可以包括在源极区和漏极区之间延伸的多个纳米结构。

根据本发明构思的示例实施方式,一种场效应晶体管可以包括漏极区和源极区、连接漏极区与源极区的沟道区、在沟道区的至少一部分上或围绕沟道区的至少一部分的栅电极、以及在沟道区与栅电极之间的栅电介质层。沟道区的与源极区连接的第一部分具有一截面面积,该截面面积小于沟道区的与漏极区连接的第二部分的截面

面积。

在示例实施方式中,沟道区具有从漏极区到源极区连续减小的截面面积。

在示例实施方式中,第一部分的直径可以为第二部分的直径的约 20% 至约 40% 。

在示例实施方式中,第一部分具有约 3nm 至约 5nm 的直径,第二部分具有约 12nm 至约 20nm 的直径。

在示例实施方式中,栅电极围绕沟道区并且沟道区穿透或贯穿栅电极。

在示例实施方式中,沟道区具有圆形或椭圆形的截面。

在示例实施方式中,晶体管还可以包括设置在沟道区下面的基板。漏极区和源极区可以在基本上平行于基板的上表面的方向上彼此间隔开。

在示例实施方式中,栅电极在基板和沟道区之间延伸。

在示例实施方式中,晶体管还可以包括设置在沟道区下面的基板。漏极区和源极区可以在基本上垂直于基板的上表面的方向上彼此间隔开。

在示例实施方式中,源极区可以设置在基板的上部中。

在示例实施方式中,所述沟道区可以包括多个沟道区。

根据本发明构思的示例实施方式,一种制造场效应晶体管的方法可以包括在基板上形成漏极区、源极区和沟道区以及在沟道区上顺序地形成栅电介质层和栅电极。沟道区可以形成为具有从漏极区到源极区连续减小的截面面积。

在示例实施方式中,漏极区、源极区和沟道区的形成可以包括在基板上顺序地形成牺牲层和有源层、图案化有源层和牺牲层以形成凹陷区、以及去除牺牲层的通过凹陷区暴露的部分。

在示例实施方式中,所述方法还可以包括对图案化的有源层执行表面处理。

在示例实施方式中,漏极区、源极区和沟道区的形成可以包括:在基板的上部中形成源极区;在基板上形成绝缘层,该绝缘层中形成有暴露源极区的接触孔;在接触孔的侧壁上形成间隔物;在提供有间隔物的接触孔中形成沟道区;以及在沟道区上形成漏极区。

附图说明

示例实施方式将因以下结合附图的简要描述而被更清楚地理解。图 1 至图 27 描绘了如这里描述的非限制性的示例实施方式。

图 1 和图 2 分别是根据本发明构思的示例实施方式的场效应晶体管的透视图和截面图;

图 3 至图 7 是示出根据本发明构思的示例实施方式的制造场效应晶体管的方法的透视图;

图 8 是沿图 7 的线 I-I 截取的截面图;

图 9 和图 10 是示出根据本发明构思的其它示例实施方式的场效应晶体管以及制造该场效应晶体管的方法的透视图;

图 11 至图 15 是示出根据本发明构思的其它示例实施方式的制造场效应晶体管的方法的截面图;

图 16 是根据本发明构思的其它示例实施方式的场效应晶体管的透视图；

图 17 和图 18 是分别示出在根据比较例的场效应晶体管中的跨导
(transconductance) g_m

m

和漏极电导率 g_d

d

的特性的曲线图；

图 19 和图 20 是分别示出根据比较例的场效应晶体管的量子电容 C_s 和总电容 C_t 的
特性的模拟曲线图；

图 21 和图 22 是分别示出根据本发明构思的示例实施方式的场效应晶体管的量子电
容 C_s 和总电容 C_t 的特性的模拟曲线图；

图 23 和图 24 是示出根据本发明构思的示例实施方式和比较例的场效应晶体管的沟
道区中的势能和电场的曲线图；

图 25 是示出包括根据本发明构思的示例实施方式的半导体器件的存储系统的一示
例的示意性框图；

图 26 是示出包括根据本发明构思的示例实施方式的半导体器件的存储卡的一示例
的示意性框图；

图 27 是示出包括根据本发明构思的示例实施方式的半导体器件的信息处理系统的一示例的示意性框图。

应当注意,这些图旨在示出在某些示例实施方式中使用的方法、结构和/或材料的一般特性并补充在下面提供的书面描述。然而,这些附图没有按比例绘制并且可以不必精确地反映任何给出实施方式的精确结构或性能特性,且不应该被解释为限定或限制由示例实施方式涵盖的数值范围或性能。例如,为了清晰,分子、层、区域和/或结构元件的相对厚度和位置可以被减小或夸大。在不同的附图中相似或相同的附图标记的使用旨在表示相似或相同元件或特征的存在。

具体实施方式

现在将参照附图更全面地描述本发明构思的示例实施方式,在附图中示出了示例实施方式。然而,本发明构思的示例实施方式可以以多种不同的形式实施,而不应被解释为限于这里阐述的实施方式;而是,提供这些实施方式以便本公开将透彻和完整,并将示例实施方式的范围全面传达给本领域的普通技术人员。附图中,为清晰起见,层和区域的厚度被夸大。附图中相同的附图标记指代相同的元件,因此将省略它们的描述。

将理解,当称一个元件“连接到”或“耦接到”另一元件时,它可以直接连接到或耦接到另一元件,或者可以存在居间元件。相反,当称一个元件“直接连接到”或“直接耦接到”另一元件时,不存在居间元件。用于描述元件或层之间的关系的其他词语应当以类似的方式理解(例如,在“..之间”与“直接在..之间”、“相邻于”与“直接相邻于”、“在...上”与“直接在...上”)。相同的附图标记始终指代相同的元件。在此使用时,术语“和/或”包括一个或多个相关列举项目的任何及所有组合。

将理解,虽然这里可以使用术语“第一”、“第二”等描述不同的元件、组件、区域、层和/或部分,但这些元件、组件、区域、层和/或部分不应受这些术语限制。这些术

语仅用于将一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分区别开。因此,以下讨论的第一元件、组件、区、层或部分可以被称为第二元件、组件、区域、层或部分而不背离示例实施例的教导。

为便于描述,这里可以使用诸如“在..之下”、“在..下面”、“下”、“在..之上”、“上”等空间相对术语以描述一个元件或特征与另一(些)元件或特征的关系。将理解,空间相对术语旨在涵盖除附图所示取向之外器件在使用或操作中的不同取向。例如,如果附图中的器件被翻转,则被描述为“在”其他元件或特征“之下”或“下面”的元件将取向为在其他元件或特征“上方”。因此,示例性术语“在..下面”可以涵盖上和下两种取向。器件可以以别的方式取向(旋转 90 度或在其他取向),这里所用的空间相对描述符做被相应地解释。

这里所用的术语仅是为了描述特定实施方式,并非要限制示例实施例。在此使用时,除非上下文另有明确表述,否则单数形式“一”和“该”也旨在包括复数形式。将进一步理解,术语“包括”和/或“包含”如果在这里使用,表明所述特征、整体、步骤、操作、元件和/或组件的存在,但并不排除一个或多个其他特征、整体、步骤、操作、元件、组件和/或其组的存在或增加。

这里参照截面图描述本发明构思的示例实施方式,这些截面图为示例实施方式的理想化实施方式(和中间结构)的示意图。因而,由例如制造技术和/或公差引起的图示形状的变化是可以预见的。因此,本发明构思的示例实施方式不应被解释为限于这里示出的区域的特定形状,而是包括由例如制造引起的形状偏差。例如,被示为矩形的注入区可以具有圆化或弯曲的特征和/或在其边缘处的注入浓度的梯度,而不是从注入区到非注入区的二元变化。类似地,通过注入形成的埋入区可以导致在埋入区与通过其发生注入的表面之间的区域中的一些注入。因此附图所示的区域本质上是示意性的,它们的形状并非要示出器件的区域的实际形状,也并非要限制示例实施方式的范围。

除非另行定义,这里使用的所有术语(包括技术术语和科学术语)都具有本发明构思的示例实施方式所属的领域内的普通技术人员通常理解的不同含义。将进一步理解,诸如通用词典中所定义的术语,除非此处加以明确定义,否则应当被解释为具有与它们在相关领域的语境中的含义一致的含义,将不被解释为理想化或过度形式化的意义。

图 1 和图 2 分别是根据本发明构思的示例实施方式的场效应晶体管的透视图和截面图。

参照图 1 和图 2,根据本发明构思的示例实施方式的场效应晶体管可以包括漏极区 DR、源极区 SR 以及连接漏极区 DR 和源极区 SR 或在漏极区 DR 和源极区 SR 之间延伸的沟道区 CR。沟道区 CR 可以形成为具有圆形或椭圆形的截面,但是本发明构思的示例实施方式可以不限于此。

沟道区 CR 可以为纳米结构,例如纳米线或纳米管,其直径在从几纳米至几十纳米的范围内。例如,沟道区 CR 可以是包含硅(Si)、锗(Ge)、硅锗(SiGe)、砷化镓(GaAs)、钨(W)、钴(Co)、铂(Pt)、氧化锌(ZnO)以及氧化铟(In

2

0

3

)中的其中一种的纳米线,或者可以是碳纳米管。

栅电极 GE 可以提供在沟道区 CR 的至少一部分上或提供为围绕沟道区 CR 的至少一部分。在示例实施方式中,栅电极 GE 可以围绕沟道区 CR 的外周,沟道区 CR 可以穿透或贯穿栅电极 GE。栅电极 GE 可以包括掺杂的硅或金属性材料。

栅电介质层 GD 可以提供在沟道区 CR 与栅电极 GE 之间。栅电介质层 GD 可以包括硅氧化物、硅氮化物、硅氮氧化物和具有比硅氧化物的介电常数高的介电常数的高 k 材料中的至少一种。

沟道区 CR 的在源极区 SR 与漏极区 DR 之间的部分具有不均一的或不同的截面面积。具体地,如图 1 和图 2 所示,沟道区 CR 的截面面积在源极区 SR 附近小于在漏极区 DR 附近。例如,沟道区 CR 的与源极区 SR 接触的部分的直径可以为沟道区 CR 的与漏极区 DR 接触的另一部分的直径的约 20% 至约 40%。与源极区 SR 接触的沟道区 CR 的第二直径 d2 可以小于与漏极区 DR 接触的沟道区 CR 的第一直径 d1。例如,第二直径 d2 可以在从约 3nm 至约 5nm 的范围,第一直径 d1 可以在从约 12nm 至约 20nm 的范围。换句话说,沟道区 CR 与源极区 SR 之间的接触面积小于沟道区 CR 与漏极区 DR 之间的接触面积。在示例实施方式中,沟道区 CR 可以形成为具有从漏极区 DR 到源极区 SR 连续地减小的宽度或截面面积。沟道区 CR 的宽度或截面面积可以从漏极区 DR 到源极区 SR 线性地或单调地变化。在某些实施方式中,沟道区 CR 的截面面积可以在某些局部区域中改变。此外,沟道区 CR 可以包括在从漏极区 DR 朝向源极区 SR 的方向上具有渐增或不变的截面面积的至少一个部分。

图 3 至图 7 是示出根据本发明构思的示例实施方式的制造场效应晶体管的方法的透视图,图 8 是沿图 7 的线 I-I 截取的截面图。在本实施方式中,场效应晶体管可以形成为使得其漏极区和源极区在基本上平行于基板的上表面的方向上彼此间隔开。

参照图 3,牺牲层 110、有源层 120 和掩模图案 130 可以顺序地形成在基板 100 上。在示例实施方式中,基板 100 可以是硅或锗的半导体晶片、绝缘体上硅(SOI)晶片。在其它实施方式中,基板 100 可以是包括聚对苯二甲酸乙二醇酯(PET)或聚乙烯吡咯烷酮(PVP)的塑料基板或者可以是玻璃基板。牺牲层 110、有源层 120 和掩模图案 130 可以使用例如化学气相沉积(CVD)工艺、溅射工艺和/或原子层沉积(ALD)工艺形成。

在示例实施方式中,有源层 120 可以是包含 Si、Ge、SiGe 和 GaAs 中的至少一种的半导体层。牺牲层 110 可以包括相对于有源层 120 具有蚀刻选择性的材料中的至少一种。例如,在有源层 120 由硅层形成的情况下,牺牲层可以为或包括硅-锗层。

掩模图案 130 可以是光致抗蚀剂层。掩模图案 130 可以包括线形图案 131,其具有分别具有第一和第二宽度 d_1 和 d_2 的端部。在示例实施方式中,线形图案 131 可以具有从第一宽度 d_1 到第二宽度 d_2 连续地或单调地减小的宽度。在其它实施方式中,线形图案 131 可以包括至少一个部分,其宽度在从第一宽度 d_1 到第二宽度 d_2 的该方向上局部地增大或不变并且保持 $d_1 > d_2$ 的条件。在下文,为了简要的目的,随后的描述将参照本实施方式的一示例,在该示例中线形图案 131 具有连续减小的宽度,但是本发明构思的示例实施方式可以不限于此。

参照图 4,有源层 120 和牺牲层 110 可以使用掩模图案 130 作为蚀刻掩模被图案化。图案化工艺可以包括干蚀刻步骤和/或湿蚀刻步骤。由于该图案化工艺,线形有源图案 121 和线形牺牲图案 111 可以形成为具有与线形图案 131 的形状基本上相同的形状。此外,由于该图案化工艺,凹陷区 RS 可以形成为暴露线形有源图案 121 和线形牺牲图案 111 的侧壁。

参照图 5,线形牺牲图案 111 可以被选择性地去除,使得线形有源图案 121 的底表面可以被局部地暴露。线形牺牲图案 111 的去除可以使用能够选择性地去除线形牺牲图案 111 并抑制有源层 120 和基板 100 被蚀刻的蚀刻溶液或蚀刻气体来进行。例如,在线形牺牲图案 111 包含硅-锗的情况下,线形牺牲图案 111 的选择性去除可以使用包含过乙酸的蚀刻溶液进行。蚀刻溶液还可以包含氢氟酸和去离子水。由于线形牺牲图案 111 具有比牺牲层 110 的其他部分窄的宽度,所以可以防止牺牲层 110 的与线形牺牲图案 111 接近的其它部分被过度地蚀刻。

参照图 6,掩模图案 130 可以被去除,此后,可以对线形有源图案 121 进行表面处理工

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/846222235110011005>