

特点

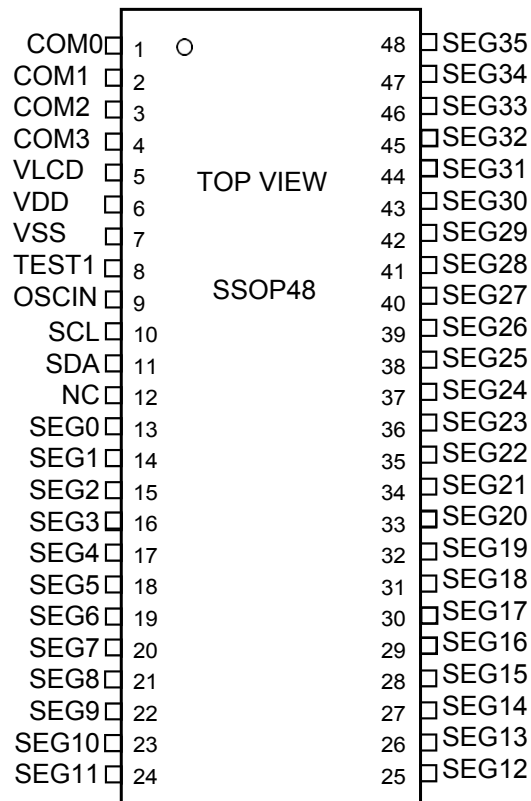
- 工作电压 2.5-5.5V
- 内置32 kHz RC振荡器
- 偏置电压 (BIAS) 可配置为1/2、1/3
- COM周期 (DUTY) 为1/4
- 内置显示RAM为36x4位
- 帧频80Hz
- 陈锐鸿:188.2466.2436
- 掉电模式 (通过关显示和关振荡器进入)
- 可配置4种功耗模式
- I2C通信接口
- 显示模式36x4
- 3种显示整体闪烁频率
- 软件配置LCD显示参数
- 陈锐鸿:188.2466.2436
- 读写显示数据地址自动加1
- VLCD脚提供LCD驱动电压 ($\leq (VDD-VLCD)$)
- 内置上电复位电路 (POR)-TEST2接低电平使能
- 低功耗、高抗干扰
- 封装
SSOP48(300mil) (15.9mm x 7.5mm PP=0.635mm)

1 概述

VKL144D是一个点阵式存储映射的LCD驱动器，可支持最大144点（36SEG×4COM）的LCD屏。单片机可通过I2C接口配置显示参数和读写显示数据，可配置4种功耗模式，也可通过关显示和关振荡器进入省电模式。其高抗干扰，低功耗的特性适用于水电气表以及工控仪表类产品。

2 管脚定义

2.1 VKL144D SSOP48管脚图

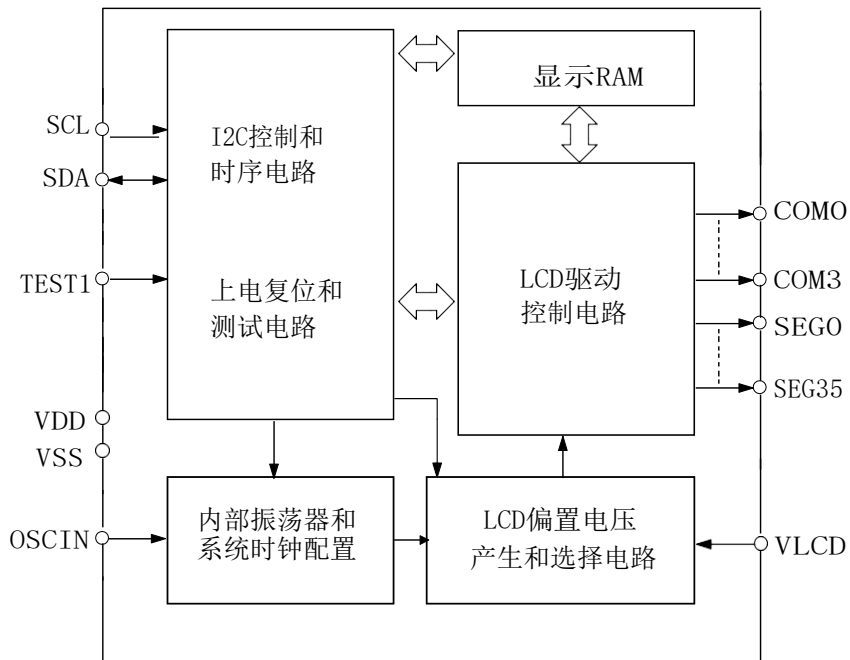


2.2 VKL144D SSOP48管脚列表

脚位	管脚名称	输入/输出	功能描述
1-4	COM0-COM3	输出	LCD位输出
5	VLCD	输入	LCD驱动电压(等于VDD-VLCD)
6	VDD	电源正	电源正
7	VSS	电源地	电源地
8	TEST1	输入	测试脚必需短接VSS脚
9	OSCIN	输入	外部时钟输入脚, 软件配置使用外部时钟还是内置RC振荡器. 使用内部振荡器时该脚必需短接VSS
10	SCL	输入	I2C串行时钟脚。
11	SDA	输入/输出	I2C串行数据输入/输出脚。
12	NC	—	---
13-48	SEG0-SEG35	输出	LCD段驱动

3 功能说明

3.1 功能框图



3.2 显示RAM-存储结构

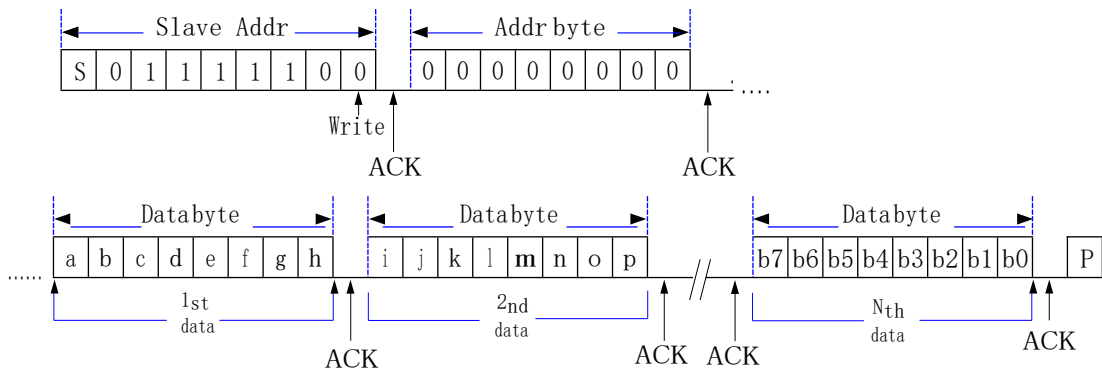
静态显示存储器（RAM）结构为36×4位（36SEG×4COM），存储所显示的数据。显示RAM的内容直接映射成LCD驱动器的显示内容。通过I2C命令存取显示RAM中数据，每读写4bit显示数据地址自动加1。

显示RAM中的内容映射至LCD的过程如下表所示：

输出	COM3	COM2	COM1	COM0	地址	输出	COM3	COM2	COM1	COM0	地址
SEG1	h	g	f	e	0x01	SEG0	d	c	b	a	0x00
SEG3	p	o	n	m	0x03	SEG2	l	k	j	i	0x02
SEG5					0x05	SEG4					0x04
SEG7					0x07	SEG6					0x06
SEG9					0x09	SEG8					0x08
SEG11					0x0B	SEG10					0x0A
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
SEG35					0x23	SEG34					0x22
显示数据	bit7	bit6	bit5	bit4			bit3	bit2	bit1	bit0	

36×4 显示RAM映射

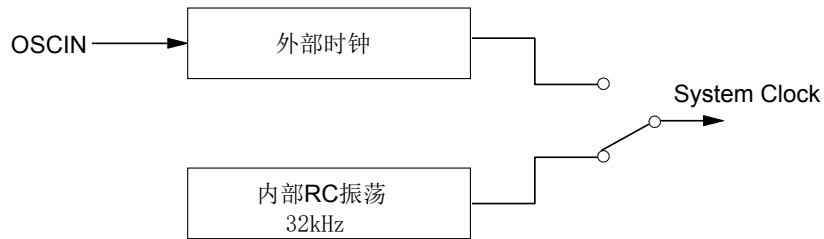
例：上图显示数据SEG0-SEG3和写入显示RAM的数据a-p的对应关系如下所示：



3.3 系统振荡器

VKL144D的时钟是用来产生LCD 驱动信号和内部逻辑时序的。可软件配置系统时钟源是内部RC振荡器（32kHz）还是外部时钟源（OSCIN），使用内部RC振荡器时OSCIN接地，系统时钟频率（ f_{SYS} ）决定LCD 帧频频率。

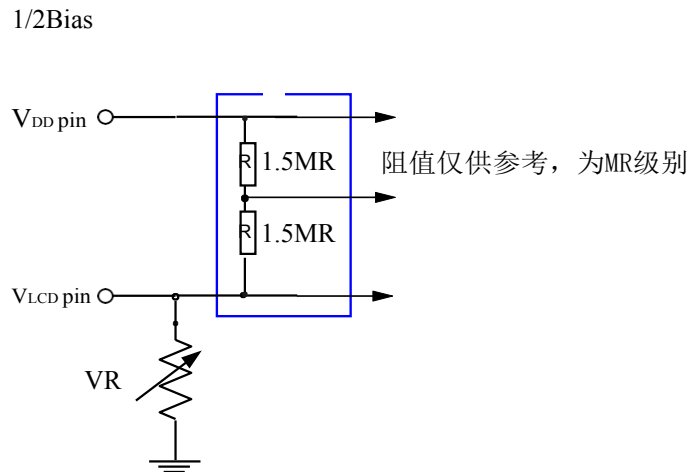
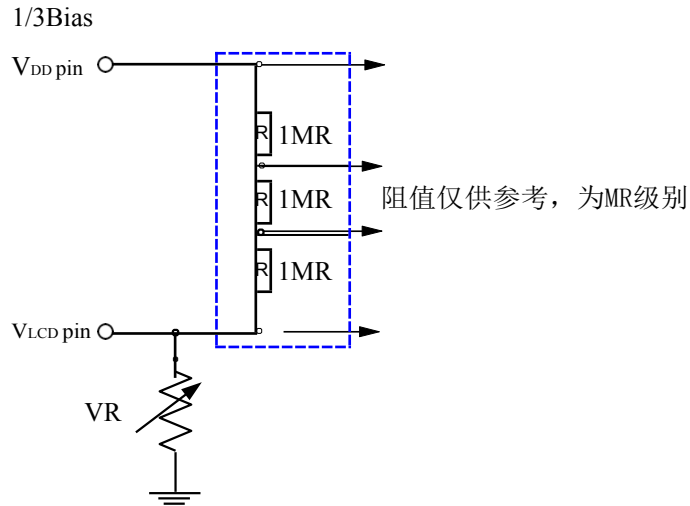
系统时钟的设置如下图所示：



3.4 LCD驱动电压

LCD驱动电压 ($V_{LCD} \leq V_{DD}$) 可以通过VLCD脚获取 (接电阻到VSS脚), LCD驱动电压 $= V_{DD} - V_{LCD}$, 内置运放来实现低功耗驱动。

VR用来调对比度, 用1MR电阻调到最佳显示效果, 取此时阻值。



3.5 上电复位

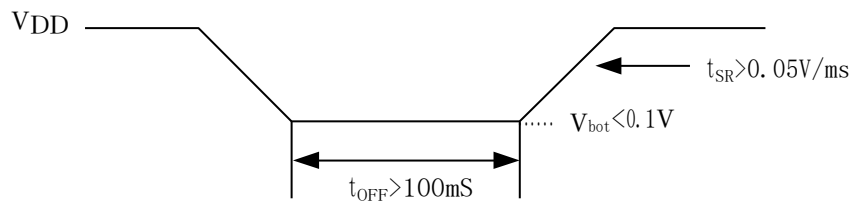
上电复位电路进行初始化，在此期间（1ms）I2C不要传数据。

内部电路初始化后的状态如下所示：

- 所有 COM/SEG 脚输出为 VDD。
- 1/4 duty 和 1/3 bias。
- 系统振荡器和 LCD bias 发生器关闭。
- LCD 显示关。
- 闪烁功能禁止。

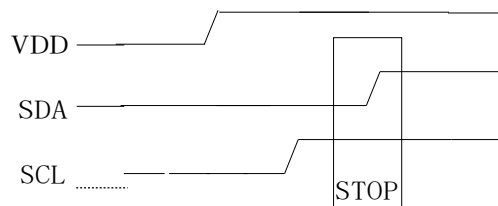
上电时NC脚为低电平使能POR，在芯片工作期间，若 VDD 下降到低于规定的最小工作电压时，必须满足上电复位时序条件，即VDD 电压必须下降到0V，且在上升到正常工作电压之前至少保持100ms 的0V 电压

上电复位时序



上电时NC脚为高电平禁止POR，为了让内部电路处于复位状态必需配置如下：

- I. STOP 条件为在SCL=H的状态下，SDA由L变为H
- II. 在系统命令中设置软复位（bit1=1）



3.6 LCD通讯命令

LCD 驱动支持的显示模式为36SEG x 4COM，未使用的SEG 和COM脚悬空。帧频频率可配置为4种频率，上电默认为 80Hz 。

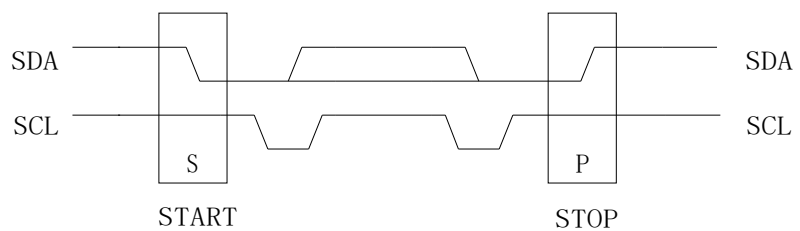
通过I2C接口配置显示参数和读写显示数据。

3.6.1 I2C通信接口

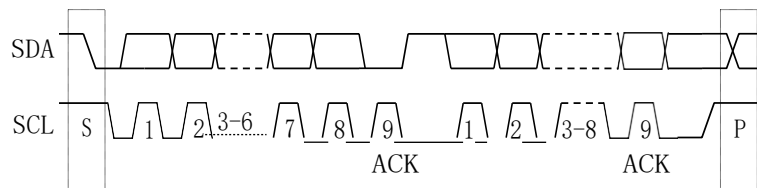
VKL144D有2个通信脚，遵循I2C协议。

SCL脚是时钟输入脚，SDA脚是串行数据输入/输出脚，当 I2C 总线空闲时，这两个脚都为高电平。

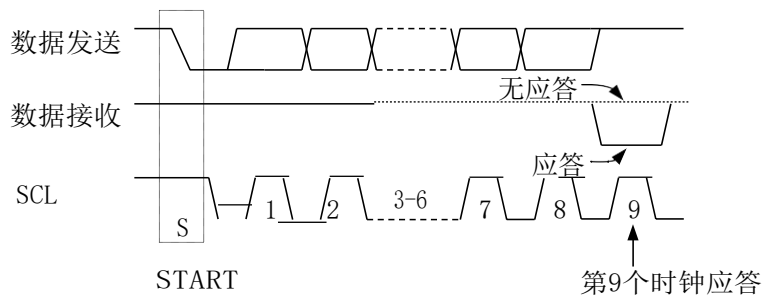
START 和 STOP信号



字节格式

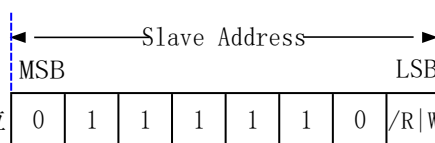


应答信号



从机地址

(0x7c) bit0-读写位



以上内容仅为本文档的试
 下载部分，为可阅读页数
 的一半内容。如要下载或
 阅读全文，请访问：

<https://d.book118.com/858025141116006055>