

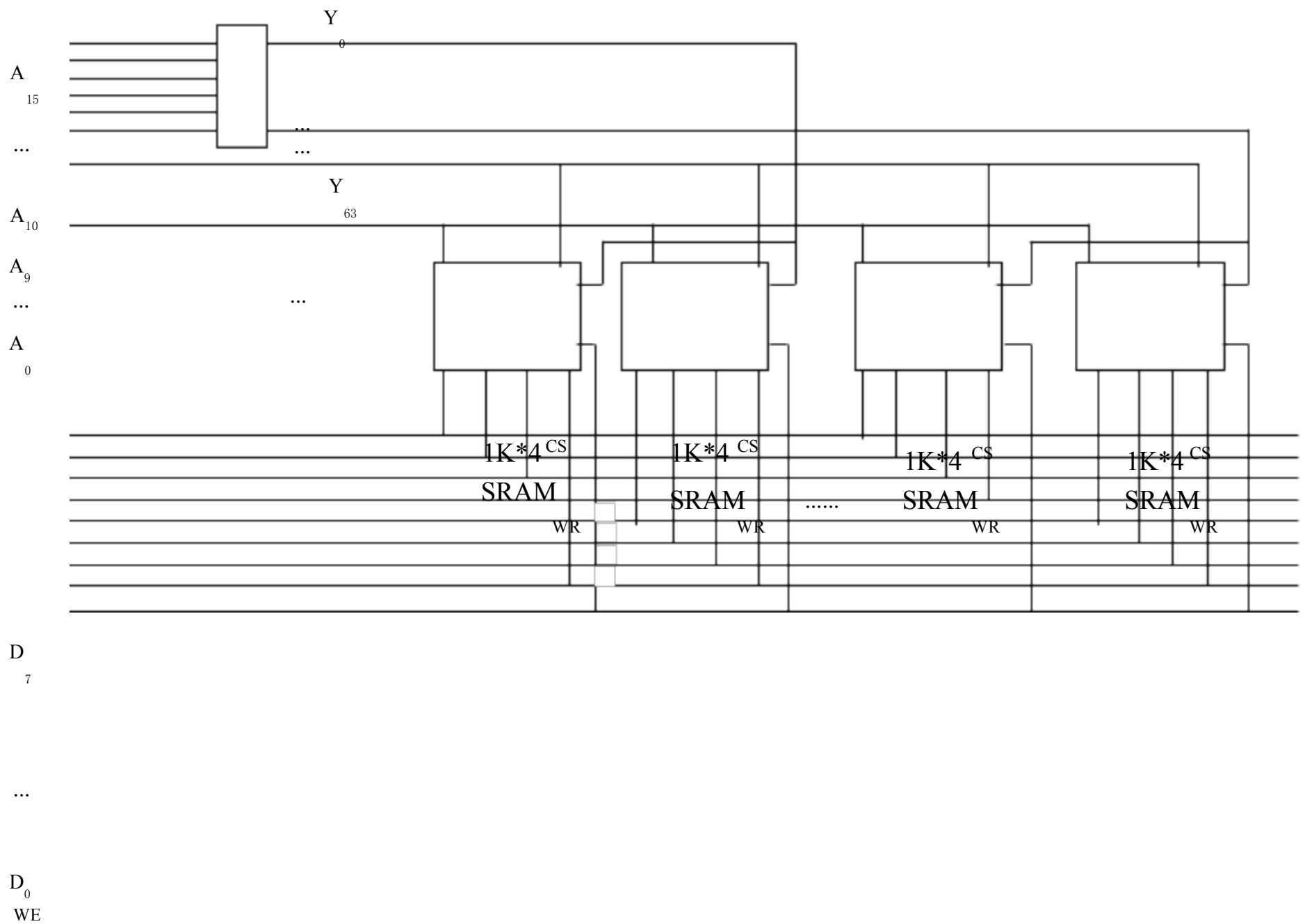
## 第 4 章 习 题 答 案

3. 已知某机主存空间大小为 64KB，按字节编址。要求：

- (1) 若用 1K×4 位的 SRAM 芯片构成该主存储器，需要多少个芯片？
- (2) 主存地址共多少位？几位用于选片？几位用于片内选址？
- (3) 画出该存储器的逻辑框图。

参考答案：

- (1)  $64\text{KB} / 1\text{K} \times 4 \text{ 位} = 64 \times 8 = 128 \text{ 片}$ 。
- (2) 因为是按字节编址，所以主存地址共 16 位，6 位选片，10 位片内选址。
- (3) 显然，位方向上扩展了 2 倍，字方向扩展了 64 倍。下图中片选信号 CS 为高电平有效。

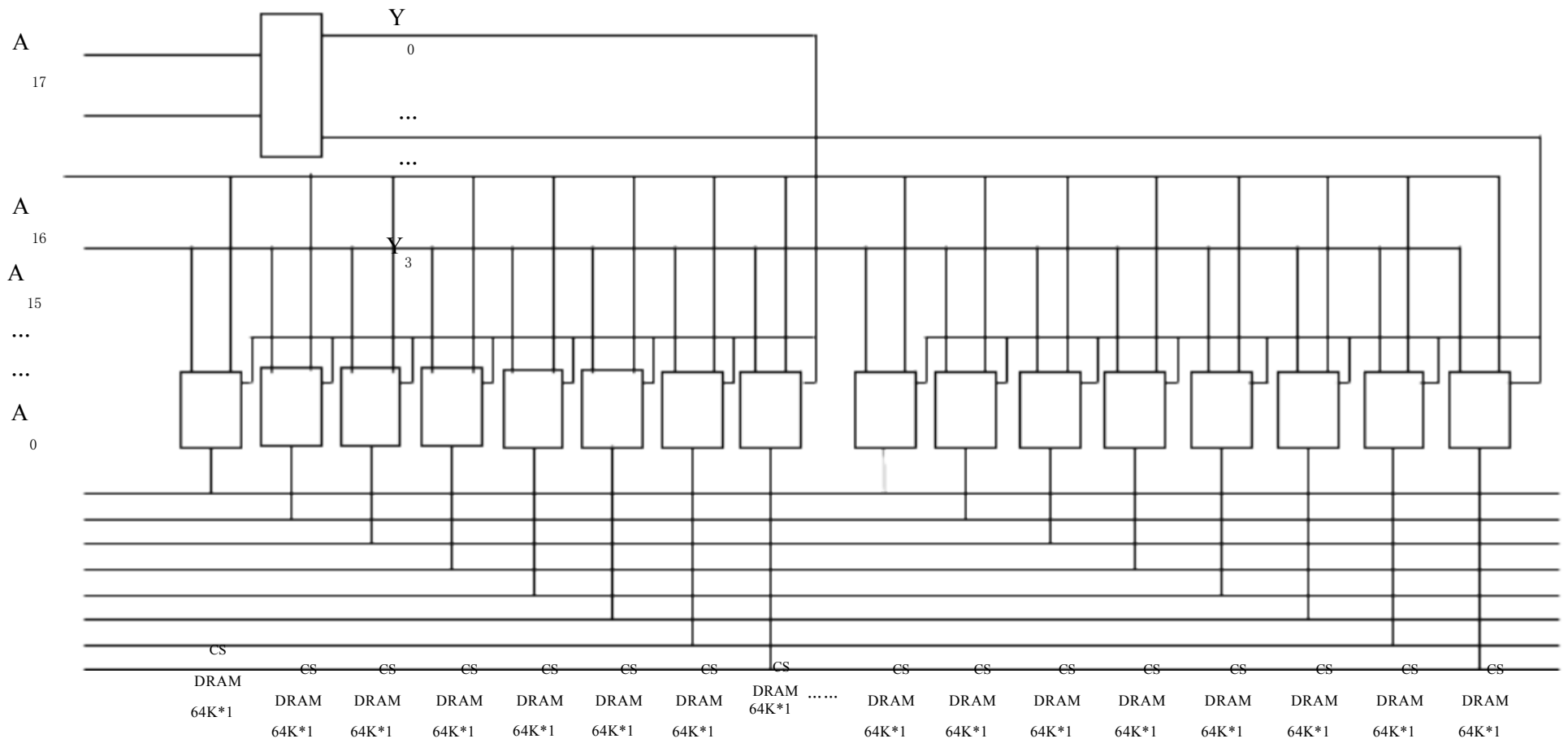


4. 用 64K×1 位的 DRAM 芯片构成 256K×8 位的存储器。要求：

- (1) 计算所需芯片数，并画出该存储器的逻辑框图。
- (2) 若采用异步刷新方式，每单元刷新间隔不超过 2ms，则产生刷新信号的间隔是多少时间？若采用集中刷新方式，则存储器刷新一遍最少用多少读写周期？

参考答案：

- (1)  $256\text{KB} / 64\text{K} \times 1 \text{ 位} = 4 \times 8 = 32 \text{ 片}$ 。存储器逻辑框图见下页（图中片选信号 CS 为高电平有效）。
- (2) 因为每个单元的刷新间隔为 2ms，所以，采用异步刷新时，在 2ms 内每行必须被刷新一次，且仅被刷新一次。因为 DRAM 芯片存储阵列为  $64\text{K}=256 \times 256$ ，所以一共有 256 行。因此，存储器控制器必须每隔  $2\text{ms}/256=7.8\mu\text{s}$  产生一次刷新信号。采用集中刷新方式时，整个存储器刷新一遍需要 256 个存储（读写）周期，在这个过程中，存储器不能进行读写操作。



D  
7

...

A<sub>14</sub>

D<sub>0</sub> A<sub>13</sub>

5. 用 8K×8 位的 EPROM 芯片组成 32K×16 位的只读存储器，试问：

A<sub>12</sub> (1) 数据寄存器最少应有多少位？

(2) 地址寄存器最少应有多少位？

A (3) 共需多少个 EPROM 芯片？

(4) 画出该只读存储器的逻辑框图。

参考答案：

(1) 数据寄存器最少有 16 位。

(2) 地址寄存器最少有： 15 位（若按 16 位的字编址）； 16 位（若按字节编址）。

D<sub>15</sub> (3) 共需要 32K×16 位 / 8K×8 位 = 4 × 8 = 8 片。

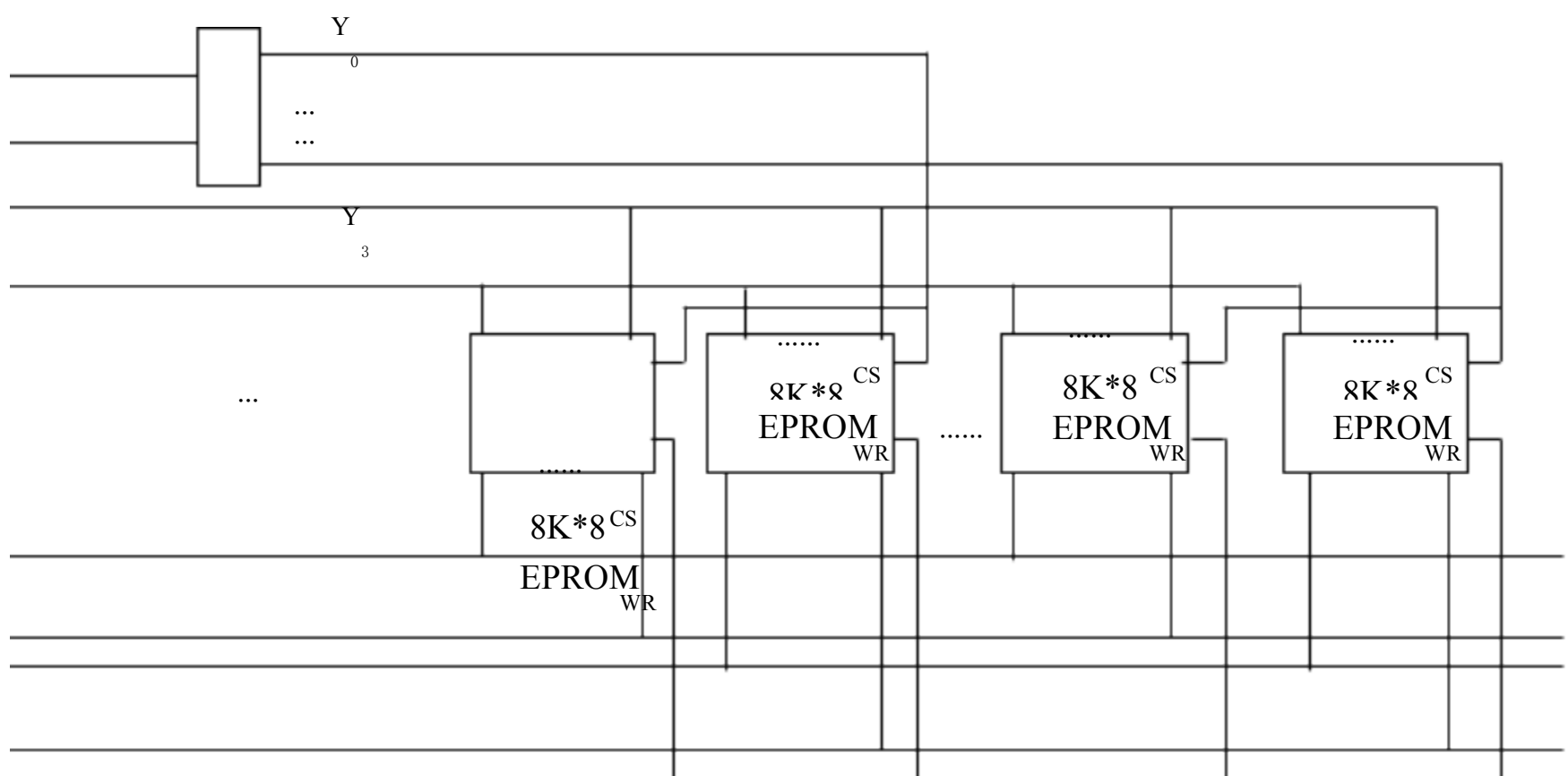
... (4) 该只读存储器的逻辑框图如下（假定按字编址，图中片选信号 CS 为高电平有效）。

D<sub>8</sub>

D<sub>7</sub>

...

D<sub>0</sub>



6. 某计算机中已配有 0000H~7FFFH 的 ROM 区域，现在再用 8K×4 位的 RAM 芯片形成 32K×8 位的存储区域，CPU 地址总线为 A0-A15，数据总线为 D0-D7，控制信号为 R/W#（读/写）、MREQ#（访存）。要求说明地址译码方案，并画出 ROM 芯片、RAM 芯片与 CPU 之间的连接图。假定上述其他条件不变，只是 CPU 地址线改为 24 根，地址范围 000000H~007FFFH 为 ROM 区，剩下的所有地址空间都用 8K×4 位的 RAM 芯片配置，则需要多少个这样的 RAM 芯片？

参考答案：

CPU 地址线共 16 位，故存储器地址空间为 0000H~FFFFH，其中，8000H~FFFFH 为 RAM 区，

共  $2^{15}=32\text{K}$  个单元，其空间大小为  $32\text{KB}$ ，故需  $8\text{K}\times 4$  位的芯片数为  $32\text{KB}/8\text{K}\times 4 \text{ 位} = 4 \times 8 = 8$  片。

因为 ROM 区在  $0000\text{H}\sim 7\text{FFFH}$ ，RAM 区在  $8000\text{H}\sim \text{FFFFH}$ ，所以可通过最高位地址  $A_{15}$  来区分，当  $A_{15}$  为 0 时选中 ROM 芯片；为 1 时选中 RAM 芯片，此时，根据  $A_{14}$  和  $A_{13}$  进行译码，得到 4 个译码信号，分别用于 4 组字扩展芯片的片选信号。（图略，可参照图 4.15）

若 CPU 地址线为 24 位，ROM 区为  $000000\text{H}\sim 007\text{FFFH}$ ，则 ROM 区大小为  $32\text{KB}$ ，总大小为  $16\text{MB}=2^{14}\text{KB}=512\times 32\text{KB}$ ，所以 RAM 区大小为  $511\times 32\text{KB}$ ，共需使用 RAM 芯片数为  $511\times 32\text{KB}/8\text{K}\times 4 \text{ 位}=511\times 4\times 2$  个芯片。

7. 假定一个存储器系统支持 4 体交叉存取，某程序执行过程中访问地址序列为 3, 9, 17, 2, 51, 37, 13, 4, 8, 41, 67, 10, 则哪些地址访问会发生体冲突？

参考答案：

对于 4 体交叉访问的存储系统，每个存储模块的地址分布为：

Bank0: 0、4、8、12、16 … …

Bank1: 1、5、9、13、17 …37 …41…

Bank2: 2、6、10、14、18 … …

Bank3: 3、7、11、15、19…51…67

如果给定的访存地址在相邻的 4 次访问中出现在同一个 Bank 内，就会发生访存冲突。所以，17 和 9、37 和 17、13 和 37、8 和 4 发生冲突。

8. 现代计算机中，SRAM 一般用于实现快速小容量的 cache，而 DRAM 用于实现慢速大容量的主存。以前超级计算机通常不提供 cache，而是用 SRAM 来实现主存（如，Cray 巨型机），请问：如果不考虑成本，你还这样设计高性能计算机吗？为什么？

参考答案：

不这样做的理由主要有以下两个方面：

① 主存越大越好，主存大，缺页率降低，因而减少了访问磁盘所需的时间。显然用 DRAM 芯片比用 SRAM 芯片构成的主存容量大的多。

② 程序访问的局部性特点使得 cache 的命中率很高，因而，即使主存没有用快速的 SRAM 芯片而是用 DRAM 芯片，也不会影响到访问速度。

9. 分别给出具有下列要求的程序或程序段的示例：

(1) 对于数据的访问，几乎没有时间局部性和空间局部性。

(2) 对于数据的访问，有很好的时间局部性，但几乎没有空间局部性。

(3) 对于数据的访问，有很好的空间局部性，但几乎没有时间局部性。

(4) 对于数据的访问，空间局部性和时间局部性都好。

参考答案（略）：

可以给出许多类似的示例。例如，对于按行优先存放在内存的多维数组，如果按列优先访问数组元素，则空间局部性就差，如果在一个循环体中某个数组元素只被访问一次，则时间局部性就差。

10. 假定某机主存空间大小  $1\text{GB}$ ，按字节编址。cache 的数据区（即不包括标记、有效位等存储区）有  $64\text{KB}$ ，块大小为 128 字节，采用直接映射和全写（write-through）方式。请问：

(1) 主存地址如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。

(2) cache 的总容量为多少位?

参考答案:

(1) 主存空间大小为 1GB，按字节编址，说明主存地址为 30 位。cache 共有  $64\text{KB}/128\text{B}=512$  行，因

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：  
<https://d.book118.com/948011010063006066>